

## 저 전력 10비트 플래시-SAR A/D 변환기 설계

이 기 윤\*, 김 정 흠\*, 윤 광 섭<sup>o</sup>

## Design of a Low Power 10bit Flash SAR A/D Converter

Gi-Yoon Lee\*, Jeong-Heum Kim\*, Kwang-Sub Yoon<sup>o</sup>

## 요 약

본 논문은 2단 플래시 A/D 변환기를 이용한 저전력 CMOS 플래시-SAR(successive approximation register) A/D 변환기를 제안한다. 전체 회로 구조는 상위 2비트 고속 플래시 A/D 변환기, 하위 8비트 저 전력 SAR A/D 변환기로 구성되어서 데이터 변환 클럭 수를 감소시켜서 변환속도를 향상시켰다. 또한 하위 8비트를 SAR 논리회로와 커패시터 D/A 변환기를 이용하여 저 전력으로 회로를 설계하였다. 제안 된 A/D 변환기는 0.18 $\mu\text{m}$  CMOS 공정을 이용하여 구현하였고 2MS/s의 변환속도를 갖으며 9.16비트의 ENOB(effective number of bit)이 측정되었다. 면적과 전력소모는 각각 450 $\times$ 650 $\mu\text{m}^2$ 와 136 $\mu\text{W}$ 이고 120fJ/step의 FoM을 갖는다.

**Key Words** : SAR ADC, Flash ADC, Low power

## ABSTRACT

This paper proposed a low power CMOS Flash-SAR A/D converter which consists of a Flash A/D converter for 2 most significant bits and a SAR A/D converter with capacitor D/A converter for 8 least significant bits. Employment of a Flash A/D converter allows the proposed circuit to enhance the conversion speed. The SAR A/D converter with capacitor D/A converter provides a low power dissipation. The proposed A/D converter consumes 136 $\mu\text{W}$  with a power supply of 1V under a 0.18 $\mu\text{m}$  CMOS process and achieves 9.16 effective number of bits for sampling frequency up to 2MHz. Therefore it results in 120fJ/step of Figure of Merit (FoM).

## I. 서 론

저 전력 집적 회로 기술의 발전으로 많은 휴대용, 이식용 의료 장비들이 개발되고 있다. 뿐만 아니라 최근 센서 네트워크, 에너지 하베스팅 등과 같은 저 전력 어플리케이션에 대한 연구가 많은 관심을 받고 있다<sup>[1-2]</sup>.

SAR(successive approximation register) A/D 변환

기의 경우 회로 내 증폭기가 사용되지 않으므로 정적 전력 소모가 없기 때문에 저 전력 Analog to Digital 변환기로 많은 연구가 진행되고 있다.

SAR A/D 변환기의 경우 변환 시 1클럭이 아닌 여러 개의 클럭을 사용하는 A/D 변환기이기 때문에 고속으로 동작하도록 설계하는 것에 한계가 있다<sup>[3][4]</sup>. 반면, 플래시 A/D 변환기는 A/D 변환기 중 가장 빠른 변환속도 특징을 갖고 있지만 해상도가 높아짐에 따

\* 본 연구는 2010년도 정부(교육부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임(2010-0020163)

※ 반도체설계교육센터(IDEC)의 CAD Tool 지원에 감사드립니다.

※ 본 연구는 인하대학교의 지원으로 설계되었습니다.

• First Author : Inha University Department of Electronic Engineering, lky2420@naver.com, 학생회원

◦ Corresponding Author : Inha University Department of electronic Engineering, ksyoon@inha.ac.kr, 종신회원

\* Inha University Department of electronic Engineering, h.ssaladin@gmail.com, 학생회원

논문번호 : KICS2014-12-498, Received December 24, 2014; Revised March 30, 2015; Accepted April 20, 2015

라 회로에 사용되는 비교기의 개수가 2의 지수적으로 증가하여 전력소모가 증가하고, 온도계 코드를 이진 코드 또는 그레이코드로 바꾸어 주는 디지털 인코더 설계가 복잡해지게 된다<sup>5)</sup>.

제안된 회로는 플래시 구조의 A/D 변환기와 커패시터 D/A 변환기를 사용하는 SAR A/D 변환기를 융합하여 속도를 향상시키고 저 전력으로 구동 가능하도록 설계되었다. 따라서 융합회로의 경우 고속의 플래시 A/D 변환기의 특징과 저속 저 전력의 SAR A/D 변환기의 특징을 사용하여 전체 A/D 변환기의 변환 속도를 향상시키고 저 전력 회로 설계가 가능하다<sup>16-8)</sup>. 제안된 회로의 경우 상위 2비트는 고속 플래시 A/D 변환기, 하위 8비트는 저 전력 SAR A/D 변환기를 사용하여 고속과 저 전력 성능을 최적화 시켰다.

2장에서는 구현된 2MS/s 10비트 플래시-SAR A/D 변환기의 구조와 회로 내에 사용되는 서브 회로들에 대해서 구체적으로 설명한다. 3장에서는 제안하는 A/D 변환기의 칩 레이아웃 및 시뮬레이션 결과를, 4 장에서는 본 논문의 결론을 맺는다

## II. 제안하는 플래시-SAR A/D 변환기 구조

그림 1은 제안된 10비트 플래시-SAR A/D 변환기의 전체 블록도이다. 전체 블록은 크게 상위 2비트를 결정하는 2단 플래시 A/D 변환기와 하위 8비트를 결정하는 SAR A/D 변환기로 구성된다. SAR A/D 변

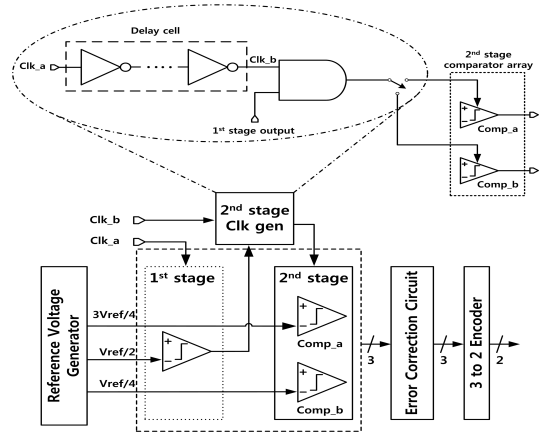


그림 2. 제안된 2단 플래시 ADC 블록도  
Fig. 2. Block diagram of the Proposed 2 stage flash ADC

환기는 분할 커패시터를 사용한 커패시터 D/A 변환기, 스위치 제어 논리회로, SAR 논리회로, 출력단으로 이루어져 있다. 분할 커패시터를 사용한 커패시터 D/A 변환기는 칩의 면적을 감소시키고 커패시턴스를 감소시켜 동적 전력소모를 최소화한다.

2단 비교기 열을 사용한 플래시 A/D 변환기의 전체 블록도는 그림 2와 같다. 제안하는 플래시 A/D 변환기는 증폭기를 사용하지 않는 저 전력 샘플/홀드회로, 기준 전압생성을 위한 저항 열, 전력소모를 낮추기 위한 1단, 2단 비교기 열, 디지털 인코더와 출력 단으로 구성되어 있다. 상위 2비트 출력은 스위치 제어

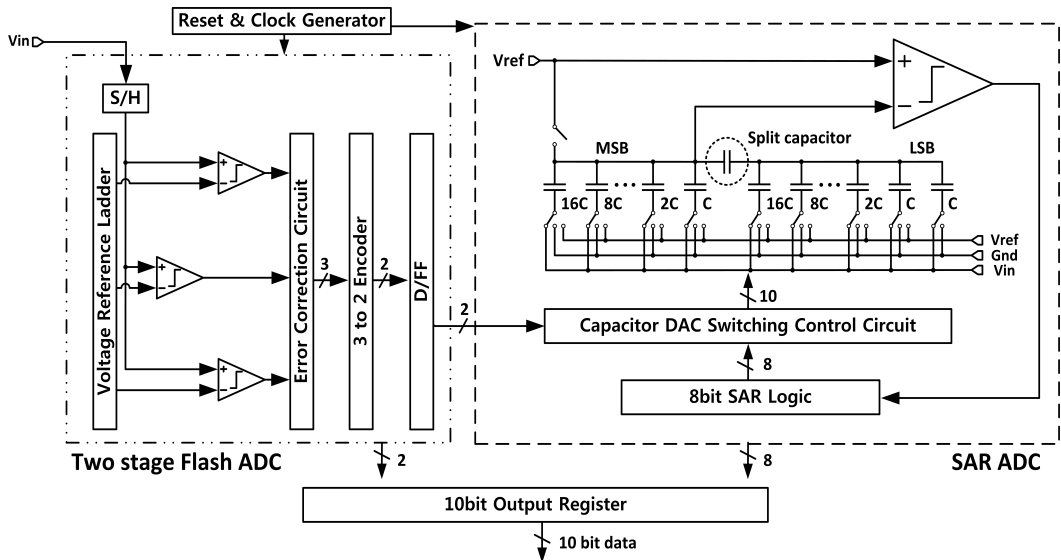


그림 1. 제안된 플래시-SAR A/D 변환기  
Fig. 1. Proposed flash-SAR A/D Converter

논리회로의 입력으로 커패시터 D/A 변환기를 구동하게 된다. 그 뒤 SAR 논리회로를 이용하여 나머지 하위 비트 부분의 데이터를 출력한다.

먼저 상위 2비트를 결정하는 플래시 A/D 변환기에 사용된 샘플/홀드 회로는 증폭기가 사용되지 않고 비교기의 입력으로 들어가기 때문에 증폭기에서 소모되는 정적전력을 비교기의 동적전력으로 바꾸어 사용하는 전력소모를 낮추었다.

제안된 회로의 사용된 플래시 A/D 변환기는 회로의 전력 소모를 최소화시키기 위해 비교기 배열을 2단 구조로 설계하였다. 비교기를 두 개의 단으로 구성함으로써 얻는 이점은 변환 시 사용하는 비교기의 수를 감소시키는 것이다. 첫 번째 단 비교기는 최상위 비트를 결정해 주는 것과 동시에 두 번째 단에서 사용될 비교기를 결정하는 신호를 생성하는 역할을 한다. 그림 2를 보면 첫 번째 단의 비교기의 출력이 두 번째 단의 비교기의 클럭을 생성해주는 클럭 발생기의 입력이 되는 것을 알 수 있다. 이 클럭 발생기에서 나오는 클럭은 두 번째 단에서 사용할 비교기를 결정하게 된다. 그림 3은 첫 번째 단의 비교기의 동작도이다.

A/D 변환기의 입력 전압이  $\frac{V_{ref}}{2}$  보다 크면 첫 번째 단의 비교기의 +입력은 A/D 변환기의 입력 전압이 -입력은 저항열에서 생성된  $\frac{V_{ref}}{2}$  이기 때문에 플래시 A/D 변환기의 최상위 비트는 1로 정해지고 그 값이 2단 비교기 클럭 발생기의 입력이 된다. 최상위 비트가 1일 때 클럭 발생기의 출력은 비교기 A를 구동하고  $\frac{3V_{ref}}{4}$  와 샘플링 된 입력신호를 비교한 후 3 대 2 인코더를 통과한 후 2비트의 출력을 얻게 된다. 이때 비교기 B는 동작하지 않는다. 반면에 입력 전압이  $\frac{V_{ref}}{2}$  보다 작을 때는 최상위 비트는 0이 되며 클럭 발생기는 비교기 B를 구동시켜  $\frac{V_{ref}}{4}$  와

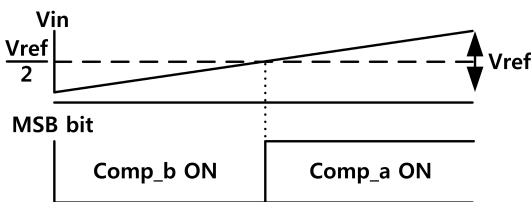


그림 3. 첫 번째 단의 비교기의 동작도  
Fig. 3. The operation of 1st stage comparator

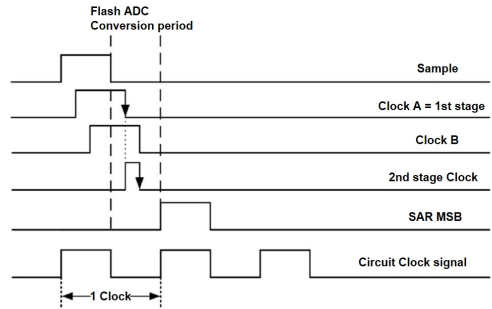


그림 4. 2단 플래시 ADC의 타이밍도  
Fig. 4. The timing diagram of the 2 stage flash ADC

입력신호를 비교하여 총 2개의 비교기만을 구동시키게 된다.

따라서 두 번째 단에서는 최상위 비트 값에 따라 1일 때와 0일 때 각각 한 개의 비교기를 사용하기 때문에 총 2개의 비교기가 구동되게 된다. 일반적인 2비트 플래시 A/D 변환기의 경우 변환 시 항상 3개의 비교기를 사용하기 때문에 2단 비교기 열을 사용하여 A/D 변환기의 전력소모를 약 33% 감소시킬 수 있다.

2단 플래시 A/D 변환기의 클럭 타이밍도는 그림 4에 나타났다. 샘플 신호가 인가 될 때 입력 신호를 샘플링한 후 첫 번째 비교기에서 입력신호와  $\frac{V_{ref}}{2}$  와 비교한 후 비교기의 출력과 클럭 B를 이용하여 2단 비교기 클럭 발생기에서 두 번째 단의 클럭을 생성하게 된다. 그림에서 보듯 플래시 A/D 변환기의 변환 구간은 샘플링 신호와 SAR MSB(most significant bit) 신호 사이로 A/D 변환기에서 사용하는 클럭의 절반만을 사용한다. 여기서 SAR MSB신호는 SAR A/D 변환기의 커패시터 D/A 변환기의 최상위 비트의 스위치를 구동시키는 SAR 논리회로의 변환 시작 신호가 된다.

그림 5는 플래시 A/D 변환기의 출력의 변화에 따른 커패시터 D/A 변환기의 출력을 보인다. 플래시 A/D 변환기의 출력이 00일 때 10비트 SAR 논리회로의 코드는 (00)10000000이 되고, 출력이 01일 때는 (01)10000000이 된다. 이러한 SAR 논리회로의 출력은 커패시터 D/A 변환기의 스위칭 제어 논리회로의 입력이 되며, 이미 상위 두개의 비트가 결정이 된 상황이기 때문에 커패시터 D/A 변환기의 출력 값의 차이를 보인다.

그 후의 동작은 SAR A/D 변환기의 동작원리로 변환과정이 진행되게 된다. SAR A/D 변환기의 기준전

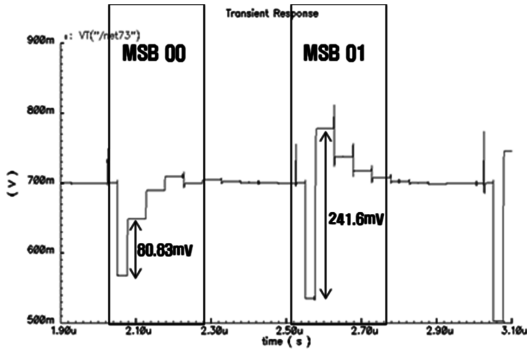


그림 5. MSB가 00에서 01로 변환 때의 커패시터 DAC의 출력  
 Fig. 5. The output of the capacitor DAC while the MSB code is changing from 00 to 01

압은 700mV로 이는 커패시터 D/A 변환기의 초기값이 된다. 커패시터 D/A 변환기에서 입력신호를 샘플하게 되고 샘플링 된 입력신호와  $\frac{V_{ref}}{2}$  부터  $\frac{V_{ref}}{2^N}$  순으로 binary-search 알고리즘을 이용하여 SAR A/D 변환기의 비교기의 -입력인 커패시터 D/A 변환기의 출력과 +입력인 기준 전압 700mV를 비교하여 MSB 부터 LSB(least significant bit)를 결정한다.

### III. 모의 실험 결과 및 고찰

제안된 A/D 변환기는 0.18 $\mu$ m CMOS 공정을 사용하여 설계 되었다. 그림 6은 제작된 플래시-SAR A/D 변환기의 레이아웃 사진이며, 면적은 450 × 650  $\mu$ m<sup>2</sup>이다. 제안된 A/D 변환기는 1Vpp의 입력 범위를 갖는다.

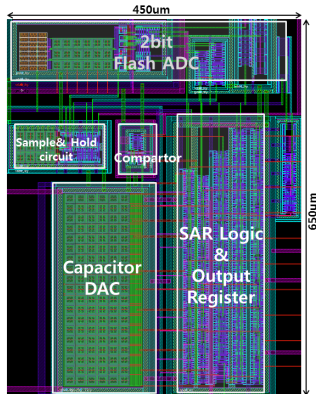


그림 6. 10비트 플래시-SAR ADC 칩 레이아웃  
 Fig. 6. 10bit flash-SAR ADC chip layout

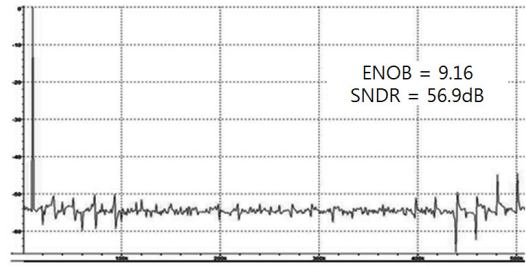


그림 7. FFT 모의실험 결과  
 Fig. 7. FFT simulation result

2MS/s의 샘플링 주파수, 1kHz의 주파수를 갖는 아날로그 정현파 입력신호에 대해서 플래시-SAR A/D 변환기의 복원된 출력신호의 FFT 모의실험 결과를 통해서 스펙트럼 결과를 볼 수 있으며, SNDR은 56.9dB, 유효비트는 9.16비트인 것을 그림 7을 통해서 알 수 있다.

그림 8에서는 상위 비트 A/D 변환기로 사용되는 플래시 A/D 변환기의 해상도와 공급전압에 따른 전력소모를 확인할 수 있다. 공급전압이 증가할수록 전력소모가 지수 함수적으로 증가하는 것을 알 수 있다. 2비트의 플래시 A/D 변환기를 사용하는 경우 공급 전압에 따른 전력소모의 증가율이 가장 작을 뿐만 아니라 전체 소모 전력 또한 가장 작다. 이러한 이유로 저 전력에 적합한 2비트 플래시 A/D 변환기를 사용하였다.

전체 플래시 A/D 변환기의 전력소모는 136 $\mu$ W로서 저 전력 A/D 변환기 설계에 적합하게 된다. 표 1에서는 제안된 회로와 기존 회로의 성능을 비교하였다. 기존 회로들은 SAR A/D 변환기와 SAR A/D 변환기와 다른 A/D 변환기를 융합한 회로들로 구성하였다. 특히 본 논문과 구조가 동일한 [5]의 회로와 전체 성능평가지수(FoM)를 비교하면, 각각 120fJ/conversion과 472fJ/conversion으로서 본 논문에서 제안한 회로

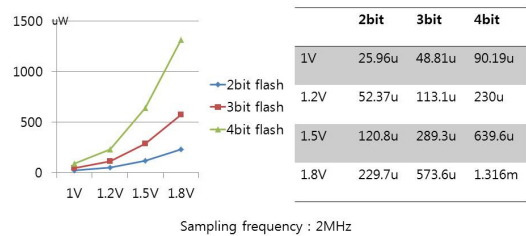


그림 8. 플래시 ADC의 해상도와 공급전압에 따른 전력소모 비교  
 Fig. 8. Power dissipation comparison of the resolution of flash ADC and the supply voltage

표 1. 플래시 SAR ADC 시뮬레이션 결과  
Table 1. 플래시 SAR ADC Simulation Result

Parameter	[1]	[4]	[5]	this work
Architecture	SAR	Binary-SAR	플래시-SAR	플래시-SAR
CMOS Process	0.13 $\mu m$	65nm	90nm	0.18 $\mu m$
Resolution(bit)	11	10	9	10
Supply Voltage(V)	0.5	1	0.9	1
Speed	10kS/s	170MS/s	90MS/s	2MS/s
Input Range(Vpp)	N/A	1.6	0.9	1
SNDR(dB)	N/A	53.2	51.8	56.9
ENOB(bit)	9.93	N/A	N/A	9.16
INL/DNL	0.96/0.98	0.93/0.52	1.55/0.87	-
Power	730n W	2.3m W	13.5m W	136 $\mu$ W
* FoM(fJ/conversion)	74.8	36.4	472	120

\*  $FoM = Power / 2^{ENOB} \cdot f_s$

가 우수함을 알 수 있다.

#### IV. 결 론

제안된 A/D 변환기는 플래시 A/D 변환기와 SAR A/D 변환기를 융합함으로써 변환속도를 향상시켰다. 일반적인 10비트 SAR A/D 변환기의 경우 한 번의 변환과정에서 12개의 클럭을 사용하는 것과 비교하여 제안된 회로는 9개의 클럭을 사용하기 때문에 30%의 속도 향상을 얻을 수 있다. 동시에 SAR구조의 저 전력 특성을 활용하여 A/D 변환기의 경우 커패시터 D/A 변환기, 비교기와 로직으로 이루어져 있기 때문에 증폭기를 사용하는 다른 A/D 변환기에 비해 전력 소모 측면에서 이점을 갖고 있다.

0.18  $\mu m$  CMOS 공정을 이용하여 2MS/s 10비트 플래시-SAR A/D 변환기를 설계하였고, 1kHz의 아날로그 정현파 입력신호에 대해 9.16비트의 ENOB이 측정되었으며, 구현된 플래시-SAR A/D 변환기의 면적과 전력소모는 각각  $450 \times 650 \mu m^2$ 와  $136 \mu W$ 이고 120fJ/step의 FoM을 갖는다. 제안된 플래시-SAR A/D 변환기는 저 전력 mid-speed 계열의 SoC에 적용될 수 있을 것으로 기대된다.

#### References

[1] S. I. Hong, K. S. Choi, and J. M. Hong, "A power management system for appliances over the sensor network," *J. KICS*, vol. 2013, no.

11, pp. 52-53, 2013.

[2] K.-J. Kim, S. Park, and K. H. Ahn, "A study of CMOS power amplifier with the novel multi-loop transformer," *J. KICS*, vol. 2013, no. 11, pp. 17-18, 2013.

[3] J. Um, Y. Kim, E. Song, and J. Sim, "A digital-domain calibration of split-capacitor DAC for a differential SAR ADC without additional analog circuits," *IEEE Trans. Circuit and Syst. I*, vol. 60, no. 11, pp. 2845-2856, Nov. 2013.

[4] Y. Chen, X. Zhu, and T. Hirotaka, "Split capacitor DAC mismatch calibration in successive approximation ADC," *IEEE CICC*, pp. 279-282, Sept. 2009.

[5] D. Shi, S. Lee, and K. Yoon, "A 6-bit 500MS/s CMOS A/D converter with a digital input range detection circuit," *J. KICS*, vol. 38, no. 4, pp. 303-309, Jun. 2013.

[6] S. Wong, S. Sin, and R. Martins, "A 2.3 mW 10-bit 170 MS/s two-step binary-search assisted time-interleaved SAR ADC," *IEEE J. of Solid State Circuits*, vol. 48, no. 8, pp. 1783-1794, Aug. 2013.

[7] U. Chio, H. Wei, Y. Zhu, and S. Sin, "Design and experimental verification of a power effective flash-SAR subranging ADC," *IEEE Trans. Circuits and Syst. II*, pp. 607-611, Aug.

2009.

- [8] G.-Y. Lee and K.-S. Yoon "Design of a low power CMOS 10bit flash-SAR ADC," 2014 27th IEEE Int. System-on-Chip Conf.(SOCC), pp. 88-91, Sept. 2014.

**이 기 윤 (Gi-Yoon Lee)**



2013년 2월 : 인하대학교 전자공학과 졸업  
2015년 2월 : 인하대학교 전자공학과 석사 졸업 예정  
<관심분야> 전자공학, 아날로그 회로 설계

**김 정 흠 (Jeong-Heum Kim)**



2014년 2월 : 인하대학교 전자공학과 졸업  
2014년 3월~현재 : 인하대학교 전자공학과 석사과정  
<관심분야> 전자공학, 아날로그 회로 설계

**윤 광 섭 (Kwang-sub Yoon)**



1982년 : 인하대학교 전자공학과 졸업

1983년 : Georgia Institute Inc, Technology 전자 공학과 석사 졸업

1989년 : Georgia Institute Inc, Technology 전자공학과 박사 졸업

1984년 3월~1989년 2월 : Georgia Institute of Technology Research Assistant

1989년 3월~1992년 2월 : Silicon Systems Inc, Tustin Calif. U.S.A Senior Design Engineer

1992 3월~현재 : 인하대학교 전자공학과 교수  
<관심분야> 전자공학, 아날로그 회로설계