DBpia

논문 18-43-08-07 The Journal of Korean Institute of Communications and Information Sciences '18-08 Vol.43 No.08
https://doi.org/10.7840/kics.2018.43.8.1273

MIL-STD-1553B 필드버스 기반의 내장형 시스템 설계 및 구현

김 승 한◆, 조 창 훈*, 김 동 성°

Design and Implementation of MIL-STD-1553B Fieldbus Based Embedded System

Seung-Han Kim◆, Chang-Hoon Cho*, Dong-Seong Kim°

요 약

본 논문에서는 FPGA (Field Programmable Gate Array)와 IP 코어를 사용하는 MIL-STD-1553B RT (Remote Terminal) 서브시스템의 설계기법을 제안한다. 기존 MIL-STD-1553B 서브시스템의 설계기법은 각 모듈을 특정 IC들을 사용하여 구현하므로 구현의 난이도가 높고 비효율적인 측면에서 비효율적이다. 제안한 설계기법은 FPGA 및 IP 코어를 이용하여 MIL-STD-1553 ASIC 컨트롤러, CPU, 그리고 추가 회로를 구현하여 구현 난이도 및 비용을 절감한다. 제안한 설계기법의 효용성을 확인하기 위해 테스트베드를 구현하고, USB 형 MIL-STD-1553 버스 테스터와 테스트 전용 소프트웨어로 성능을 평가하였다. 실험결과, 제안한 설계기법이 MIL-STD-1553 RT 서브시스템의 응답시간, 메시지 간격 등의 전기적 요구사항을 충족하며, ASIC부품을 사용한 기존 시스템 모듈보다 구현 및 사후관리비용을 절감하는 것을 확인하였다.

Key Words : MIL-STD-1553B, FPGA System Design, IP Core, Remote Terminal, Real-time.

ABSTRACT

This paper proposes a MIL-STD-1553B RT(Remote Terminal) subsystem design method using FPGA(Field Programmable Gate Array) and IP Core. The existing MIL-STD-1553B subsystem design method is inefficient in terms of implementational complexity and cost issues by specific MIL-STD-1553B ICs. Therefore, the proposed design method is for implementing MIL-STD-1553 ASIC controller and CPU using FPGA and IP Core to reduce implementational complexity and cost. To evaluate the effectiveness of the proposed design method, the test bed is implemented and evaluated the performance using USB-type MIL-STD-1553 bus tester and test-specific software. Experimental results show that the system based on the proposed design method meets the requirements of the MIL-STD-1553B and reduces implementation and post-management costs compared to existing system modules in terms of input level, output level, response time, and intermessage gap.

※ 본 연구는 미래창조과학부 및 정보통신기술진흥센터의 대학ICT연구센터육성 지원사업(IITP-2018-H8601-16-1011) 및 한국연구재단의 중견연구과제로 수행된 연구결과임 (NO. NRF-2017R1A2B4009900).

◆ First Author: (ORCID:0000-0001-7847-1070) Dept. of IT Convergence Engineering, Kumoh National Institute of Technology, deestrellas@kumoh.ac.kr, 학생회원

° Corresponding Author: (ORCID:0000-0002-2977-5964) School of Electronic Engineering, Kumoh National Institute of Technology, dskim@kumoh.ac.kr, 종신회원

* Hanwha Systems, changhoon.cho@hanwha.com

논문번호 : 201806-D-010-RN, Received March 27, 2018; Revised June 25, 2018; Accepted July 16, 2018

www.dbpia.co.kr

Ⅰ. 서 론

MIL-STD-1553B 프로토콜은 높은 신뢰성을 요구하는 국방 및 항공우주산업과 같은 다양한 산업분야에 표준 통신 프로토콜로 사용되어져 왔다[1-3]. 특히 MIL-STD-1553B 프로토콜의 물리적 통신 성능 및 2중 신뢰성망 구조(Dual Redundancy)로 인해 다양한 국방 및 산업용 실시간 시스템 개발에 사용되어져 왔다[4,5]. 그러나 MIL-STD-1553B 데이터 버스 시스템을 구성하는 주요 부품들이 대부분 고가이며, 지원되는 인터페이스가 PCI나 PCMCIA 등으로 제한적이어서 응용소프트웨어의 설계 및 구현이 복잡하고 개발시간이 오래 걸린다.

최근에는 USB, Ethernet 등의 인터페이스를 지원하는 제품들도 연구 및 개발되고 있으나 높은 가격과 기술 의존도로 인하여 시스템 개발에 제약이 따르고 있다[6-9]. 이로 인해 시스템의 구현비용을 절감하고, 기술의존도를 낮추기 위해 IP Core 기반의 MIL-STD-1553 컨트롤러가 개발되었고[10,11], FPGA 기반의 MIL-STD-1553 컨트롤러를 구현하는 연구가 진행되었다[12]. 그러나 이러한 기존 연구들은 단일칩 기반의 MIL-STD-1553B 서브시스템을 고려하지 않았다. 이에 본 논문에서는 단일칩 기반의 MIL-STD-1553B 서브시스템 설계기법을 제안하였다. 제안한 설계기법은 FPGA에 MIL-STD-1553B 컨트롤러 IP Core를 합성하여 시스템을 구현하므로 시스템의 구현 및 수정 비용을 절감할 수 있다. 또한 FPGA를 사용하므로 다수의 서브시스템을 단일칩에 구현할 수 있어 설계공간을 최소화 할 수 있다. 제안한 설계기법의 효용성을 증명하기 위해 RT 서브시스템을 구현하고 성능을 분석하였다.

본 논문의 구성은 다음과 같다. 서론에 이어 2장에서는 기존 설계방식의 문제점을 분석하고, 3장에서는 FPGA와 IP Core를 이용한 RT 서브시스템 설계기법과 구현 내용을 기술하였다. 4장에서는 제안한 RT 서브시스템의 효용성을 증명하기 위해서 MIL-STD-1553B BC(Bus Controller)를 모의환경으로 구성하여 설계된 기능 및 성능을 분석하고, 5장에서는 결론 및 향후 연구에 대해 논의한다.

Ⅱ. 기존 MIL-STD-1553B 서브시스템 문제점

MIL-STD-1553B 서브시스템 제어 모듈의 구성은 그림 1과 같다. 서브시스템은 CPU, 메모리, MIL-STD-1553 컨트롤러, MIL-STD-1553 트랜스포머 및 주변회로 등으로 이루어져 있다.

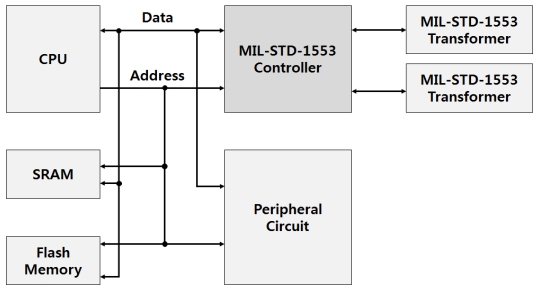

그림 1. MIL-STD-1553B 서브시스템 구성
Fig. 1. Subsystem of MIL-STD-1553B

기존의 MIL-STD-1553 컨트롤러는 고가의 부품으로 시스템 구현비용 증가의 원인이 된다. 또한 콘솔 시스템에 사용되는 범용 및 시험용 장비에 활용되는 MIL-STD-1553 카드 등은 PCI, PCMCIA 및 VME과 같이 한정적인 인터페이스를 지원하여 개발 및 유지보수 비용증가의 원인이 되고 있다. 그리고 시스템을 구성 시, 다양한 부품들이 사용되어 각 부품들에 대한 기술 의존도가 크고, 단일칩 기반의 시스템에 비해 넓은 설계 공간이 필요하다[13]. 이와 같은 문제들을 해결하기 위해 MIL-STD-1553B 내장형 시스템의 설계기법에 관한 연구들이 진행되었다. 하지만 이와 같은 연구들은 구현한 시스템과 MIL-STD-1553B 버스를 연결하기 위해 MIL-STD-1553B 트랜시버 및 트랜스포머 외에 다른 하드웨어를 추가로 구현하여 사용하므로 제한된 인터페이스 문제를 완전히 해결하였다고 보기 어렵다[14]. 또한, MIL-STD-1553B 다른 연구의 경우 MIL-STD-1553B의 성능 시험과정에서 일부 기능만을 제한적으로 구현하여 사용하였다[15]. 따라서 MIL-STD-1553B의 기술의존도를 낮추고 설계공간을 최소화 시킬 수 있는 설계기법이 필요하다.

Ⅲ. MIL-STD-1553B 필드버스 기반의 내장형 시스템 설계 및 구현

3.1 MIL-STD-1553B RT 서브시스템의 요구사항 분석

단일칩 기반의 MIL-STD-1553B RT 서브시스템의 MIL-STD-1553B RT 서브시스템의 전기적 요구사항을 표 1에 나타내었다[7]. FPGA 디바이스 및 데이터 버스 정합회로를 설계 및 구현할 시, 표 1에 나열된 요구사항을 만족시킬 수 있는 부품 및 구조를 고려하여야 한다.

www.dbpia.co.kr

표 1. MIL-STD-1553B RT 서브시스템 주요 요구사항
Table. 1. The requirement of the MIL-STD-1553B RT subsystem

Item	Regulation
Input Level	1.2 - 20.0 [Vp-p]
Output Level	18.0 - 27.0 [Vp-p]
Response Time	4 - 12 [us]
Intermessage Gap	Over than 4 [us]

3.2 MIL-STD-1553B 기반의 내장형 시스템 설계기법

제안한 MIL-STD-1553B 내장형 시스템 설계기법을 그림 2에 나타내었다. 제안한 설계기법은 FPGA에 CPU IP Core 및 MIL-STD-1553 컨트롤러 IP Core를 합성하고, 일부 메모리와 주변회로를 FPGA로 구현한다. 기존에는 MIL-STD-1553B 컨트롤러, CPU, SRAM, Flash Memory, 그리고 기타 주변 회로를 특정 IC를 사용하여 구현하기 때문에 설계에 요구되는 공간이 상대적으로 크고, 각 모듈 간의 인터페이스를 일치시켜야한다. 하지만 이들을 FPGA에 내장시킴으로써 각 모듈 간 인터페이스를 일치시킬 필요가 없어지고, 부품의존도 및 설계공간을 최소화시킬 수 있다. 특히 하드웨어 및 소프트웨어 기능이 프로그램 가능해지므로 FPGA의 성능에 따라 단일칩에 복수의 서브시스템을 구현할 수 있는 장점이 있다. 본 논문에서 선택한 MIL-STD-1553 컨트롤러 IP Core는 MIL-STD-1553B 트랜시버 및 트랜스포머를 포함하지 않기 때문에 개별 모듈로 구현한다.

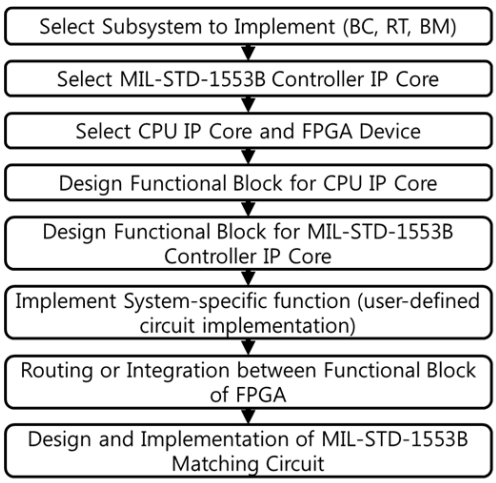

그림 2. 제안한 MIL-STD-1553B 내장형 시스템 설계기법
Fig. 2. The proposed design method for MIL-STD-1553B embedded system

3.3 MIL-STD-1553B 기반의 내장형 시스템 설계

제안한 설계기법에 따라 설계한 MIL-STD-1553B 내장형 시스템을 그림 3에 나타내었다. 이를 기반으로 MIL-STD-1553B RT 서브시스템 프로토타입을 구현하여 제안한 설계기법의 효용성 증명하고자 한다.

본 논문에서는 SmartFusion 디바이스의 프로세서 기능 블록에 전용 프로세서인 CoretexTM-M3 IP Core를 배치하여 설계한 시스템의 CPU 역할을 담당하게 하였다. FPGA 기능 블록에는 Core1553BRT_APB IP Core와 사용자 회로를 구현한 다음, APB 버스 IP Core를 이용하여 프로세서 기능 블록과 FPGA 기능 블록을 연결하였다. 여유분의 FPGA 셀과 아날로그 기능 블록에 사용자가 원하는 회로를 추가로 설계 가능하다. 자세한 설계 방법은 다음과 같다.

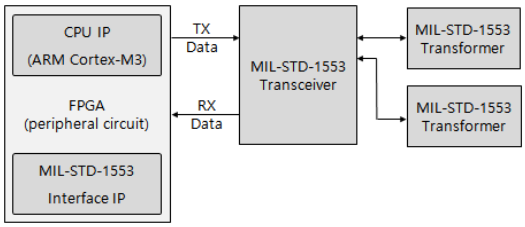

그림 3. FPGA기반 MIL-STD-1553B 서브시스템 모듈 구성
Fig. 3. Construction of FPGA based MIL-STD-1553B subsystem module

3.3.1 MIL-STD-1553B 컨트롤러 IP Core 선택

본 연구에서 사용한 MIL-STD-1553 컨트롤러 IP Core는 Microsemi사의 Core1553BRT_APB로서 RT 전용 IP Core다[16]. Core1553BRT_APB IP Core는 RT 전용으로 제작된 IP Core를 사용하여 BC 및 BM(Bus Monitoring) 프로토콜의 미사용 회로를 배제하여 시스템 구현 비용을 줄일 수 있다. Core1553BRT_APB는 이중화 MIL-STD-1553B 데이터 버스의 RT로 인터페이싱할 수 있는 기능을 제공한다. Core1553BRT_APB는 AMBA(Advanced Microcontroller Bus Architecture) 기반 프로세서 시스템에 간단히 연결할 수 있는 APB(Advanced Peripheral Bus) 슬레이브 인터페이스와 내부 메모리 버퍼, RT 역할을 위한 버스 인코더, 버스 디코더, 명령어 디코더, RT 프로토콜 컨트롤러, 명령 적법화 블록과 내장 메모리로 구성된다[17].

www.dbpia.co.kr

3.3.2 CPU IP Core 및 FPGA Device 선택

본 연구에서는 CPU IP Core로 ARM사의 CortexTM-M3을 적용하였다. CoretexTM-M3 프로세서는 고성능, 저비용 플랫폼을 제공하기 위해 개발된 32bit 프로세서로서 AMBA 인터페이스로 연동된다[18].

MIL-STD-1553 컨트롤러 IP Core및 CPU IP Core를 하나의 부품에 합성하기 위하여 Microsemi사의 SmartFusion cSoC(Customizable SoC) FPGA 디바이스 제품군 중 A2F200 시리즈를 선택하여 적용하였다. 적용한 FPGA 디바이스는 프로세서, FPGA, 아날로그 회로의 세 가지 기능 블록으로 분할되어 있다. 각 기능 블록에 Microsemi사에서 제공하는 소프트웨어를 이용해 IP Core 및 사용자 회로를 합성할 수 있다. 이를 통해 하드웨어 공간 및 시스템 구현 비용을 감소시킬 수 있다[19].

3.3.3 CPU IP Core 기능블록 설계

설계할 내장형 시스템의 MIL-STD-1553 컨트롤러 IP Core 및 사용자회로를 구동하기 위해 FPGA에 내장된 CPU 기능블록을 설계해야 한다. CPU IP Core에 필요한 기능은 MIL-STD-1553 컨트롤러 IP 코어에 공급할 클록 분주 기능, FPGA 및 주변 하드웨어 상태 관리 기능이 있다. Libero SoC 소프트웨어 툴로 MSS 툴 사용을 선택하여 프로젝트를 생성하면 CPU IP Core를 포함하는 MSS 기능 블록을 프로젝트에 배치할 수 있다. 생성된 프로젝트에서 1개의 외부입력 신호를 MSS 리셋 신호로 사용하고, 출력 리셋 신호를 이용해 FPGA 및 주변회로 하드웨어 상태를 초기화 시킬 수 있도록 설정하여 그림 4와 같이 MSS 블록을 완성하였다.

FPGA영역에 설계할 Core1553BRT_APB의 인터럽트 신호를 처리할 수 있도록 FABINT 인터럽트를 사용하게 설정하여 MIL-STD-1553B 데이터 버스로부터 수신하는 BC의 커맨드 워드를 실시간으로 처리할 수 있도록 하였다.

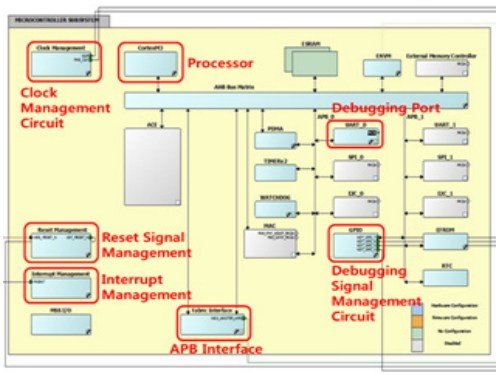

그림 4. 마이크로컨트롤러 서브시스템 설계도
Fig. 4. Microcontroller Subsystem design

UART 직렬통신 포트는 최종적으로 구현할 RT 서브시스템을 디버깅할 수 있도록 활성화 시키고, 4개의 GPIO 신호를 디버깅용으로 사용할 수 있도록 활성화 하였다. 이 신호들은 FPGA 외부에 LED를 부착하여 MIL-STD-1553B 데이터 버스로의 데이터 통신 상태를 육안으로 확인할 수 있도록 설계하였다.

시스템의 구동 클록으로 AMBA APB 버스 동기 클록과 Core1553BRT_APB의 구동 클록이 필요하다. 내장 오실레이터로 공급되는 100MHz의 클록을 20MHz로 분주하여 Core1553BRT_APB에 공급하고, APB 버스 구동 클록으로 100MHz의 클록을 공급하였다. FPGA에 추가할 Core1553BRT_APB, 사용자 회로, 그리고 MSS을 연동하기 위한 인터페이스 구조를 그림 5와 같이 설정한다.

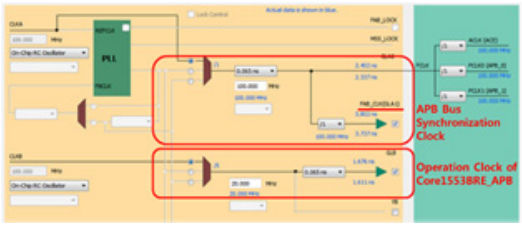

그림 5. MSS연동을 위한 인터페이스 구조
Fig. 5. SmartFusion MSS design block diagram

3.3.4 MIL-STD-1553B 컨트롤러 기능블록 설계

본 논문에서는 MIL-STD-1553B RT 서브시스템을 구현한다. 따라서 RT의 기능을 하는 IP Core인 Core1553BRT_APB를 Libero SoC 툴을 이용하여 디자인 캔버스에 배치한 다음, 사용 옵션을 다음과 같이 설정한다. 먼저 클록 속도를 20MHz로 설정하여 MSS 출력 클록과 연결한다. 모드 코드 적법화 모드는 외부입력 모드로 선택하여 사용자 회로를 통해 명령 적법화를 판단하도록 한다. 그리고 RT 주소 외부입력 모드를 해제하여 소프트웨어로 RT 주소 설정 변경이 가능하도록 설정하고, 인터럽트 극성 및 방송모드 지원 여부를 설정하여 원하는 시스템 옵션을 완성한다.

(1) MIL-STD-1553B 버스 인터페이스 I/O신호 라우팅

MIL-STD-1553B 버스 인터페이스 신호는 RT 주소와 관련된 RTADDR, RTADDRP, RTADERR 신호가 있다. RTADDR은 5비트 RT 주소로서 코어가

www.dbpia.co.kr

동작하게 될 RT 주소를 외부에서 받는 입력신호이고, RTADDRP는 RTADDR과 함께 홀수 패리티로 설정되는 외부 입력신호이다. RTADERR은 RT 주소 패리티 오류가 발생할 경우, High 로직으로 세팅되는 출력신호이다. 이 세 종류의 신호는 FPGA에서 전기적 신호로 RT 주소를 설정할 수 있도록 FPGA I/O신호로 할당하였다.

BUSAINEN, BUSAINP, BUSAINN, BUSAOUTIN, BUSAOUTP, BUSAOUTN은 BUS A의 입출력 및 활성화 신호이고, BUSBINEN, BUSBINP, BUSBINN, BUSBOUTIN, BUSBOUTP, BUSBOUTN은 BUS B의 입출력 및 활성화 신호이다. 이 신호들은 MIL-STD-1553 트랜시버에 연결할 수 있도록 FPGA의 I/O신호로 할당하였다.

(2) 제어/상태 신호 라우팅

RSTIN과 RESETN 신호는 비동기 초기화 입력신호로서 Active Low 신호이다. 이를 FPGA 외부 입력 리셋 신호와 연결한다.

CLK 신호는 Core1553BRT_APB 코어의 구동 클록 입력신호이며 본 연구에서는 20MHz로 MSS에서 공급하는 신호를 입력으로 받도록 한다.

BUSY, SYNCNOW, BUSRESET, FSM_ERROR 신호는 사용자 회로와 연결하여 제어논리를 수행하도록 연결한다. BUSY 신호는 Core1553BRT_APB 코어가 송신 또는 수신 상태이거나, 모드 코드 명령을 처리중임을 의미하는 출력신호이다. SYNCNOW 신호는 RT가 커맨드 워드 또는 데이터 워드를 수신하였을 때, 동기화를 이룬 상태에서 한 클록동안 High로 펄스를 출력하는 신호이다. BUSRESET 신호는 RT가 리셋 모드 명령을 수신할 때마다 High로 펄스가 출력되는 신호이다. FSM_ERROR은 디바이스에서 에러가 발생한 경우 단일 클록동안 High로 펄스가 출력되는 신호이다. 만일 FSM_ERROR신호가 High로 셋 되었다면 코어를 초기화해야 한다.

(3) 제어/상태 신호 라우팅

명령 적법화 인터페이스 신호는 BC로부터 수신하는 커맨드 워드가 Core1553BRT_APB가 지원하는 적법한 명령인지 확인하는 신호이다. FPGA 내부 회로와 연동하는 신호로서 사용자 정의 회로와 연결되도록 라우팅 한다.

CMDVAL은 커맨드 워드 정보와 방송 여부를 포함한 12bit의 신호이다. CMDSTB 신호는 CMDVAL 값이 바뀔 경우 단일 클록 동안 펄스가 발생되는 신호이고, CMDOKAY는 CMDVAL이 Core1553BRT_APB에 적법할 경우 Active High로 입력받는 입력신호이다.

3.3.5 사용자 정의 회로 구현

본 연구에서 제안하는 설계기법은 FPGA에 IP Core를 합성하여 MIL-STD-1553B 데이터 버스 시스템을 구현하는 방법이므로 구현한 시스템은 RT, BC, BM 중 개발자가 원하는 시스템으로 동작한다. 따라서 개발자가 구현한 시스템에 따라 지원하지 않는 모드 코드를 “Illegal Mode Code”로 판단하는 회로가 필요하다. Core1553BRT_APB 핸드북을 참조하여 CMDVAL 입력 신호를 이용해 모드 코드 정보를 확인하고, 지원하는 모드 코드에 대해서만 CMDOK 신호를 출력하는 회로를 VHDL로 코딩하여 설계한 시스템이 지원하는 신호에만 동작하도록 설계할 수 있다. 구현한 사용자 회로는 APB버스를 이용하여 그림 6과 같이 Cortex-M3 및 Core1553BRT_APB와 연결하였다.

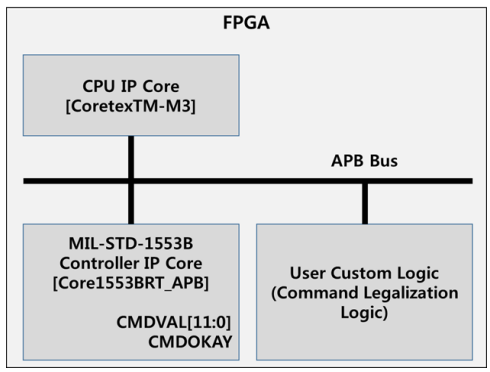

그림 6. 사용자 정의 회로가 추가된 FPGA 블록다이어그램
Fig. 6. FPGA block diagram with custom circuit added

3.3.6 FPGA 기능 블록 간 라우팅 및 합성

설계한 SmartFusion 디바이스의 프로세서, FPGA, 아날로그 회로의 세 가지 기능 블록을 연결한다. 그리고 FPGA 외부와 연동할 신호를 디바이스의 I/O 핀으로 할당하고 FPGA에 데이터버스 설계를 완료한다.

3.3.7 MIL-STD-1553B 데이터 버스 정합회로 설계

MIL-STD-1553 컨트롤러 IP Core는 트랜시버 및 트랜스포머 기능을 지원하지 않으므로 MIL-STD-1553의 규격 요건을 충족시키기 위해서는 정합회로가 필요하다. MIL-STD-1553B 정합회로를 구현하기 위해 Holt IC사의 듀얼 트랜시버인 HI-1574를 FPGA

www.dbpia.co.kr

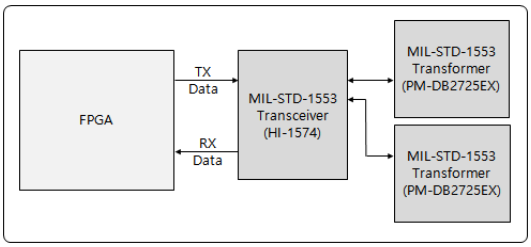

그림 7. 데이터 버스 정합회로 블록다이어그램
Fig. 7. Block diagram of data bus matching circuit

외부 회로에 그림 7과 같이 연결하였다[20].

적용한 트랜시버의 트랜스미터는 CMOS/TTL Manchester II bi-phase 신호를 입력받아 격리 변압기로 전송할 차동 전압 신호로 변환한다. 차동 전압은 버스 격리 변압기 운전에 적합한 신호로 변환되어 출력된다. 리시버는 MIL-STD-1553 데이터 버스로부터 직접 연결 또는 변압기 연결 방식으로 수신한 bi-phase 차동 전압의 데이터를 수용한다. 리시버의 입력은 CMOS 데이터를 RX A/B신호로 출력하여 컨트롤러로 전달된다.

MIL-STD-1553 트랜스포머는 MIL-STD-1553 데이터 버스가 최적의 성능으로 동작할 수 있도록 신호 레벨을 변환해주는 부품이다. 본 연구에서 선택한 IP Core가 MIL-STD-1553B 트랜스포머를 포함하지 않으므로 Holt IC사의 트랜스포머인 PM-DB2725EX를 사용하여 설계하였다.

3.4 MIL-STD-1553B RT 서브시스템 프로토타입 제작

연구 결과를 검증하기 위하여 설계한 회로와 구동 전원, 리셋회로, 디버깅 회로 및 발진자 회로를 구현하였다. 기존 MIL-STD-1553B 서브시스템은 특정 IC들을 이용하여 구현하기 때문에 시스템의 확장 및 수정이 어렵다. 특히 시스템 확장 및 수정을 위해서 새로운 장비를 구입하여야 하므로 시스템 개발에 높은 비용이 소요되는 단점이 있다. 하지만 제안한 설계기법을 이용하면 RT로 사용하던 모듈을 BC 및 BM으로 전환하여 사용하거나, 다수의 서브시스템을 하나의 FPGA에 구현하여 시스템 확장 시 소요되는 비용을 절감할 수 있다. 또한 다수의 데이터 버스 시스템을 단일 FPGA에 구현하여 리던던시로 활용하는 등, 시스템 신뢰성 향상에 기여할 수 있다. 그리고 FPGA를 통해 소형화 된 시스템 구현이 가능하며 이를 통해 다양한 항공시스템에 적용 할 수 있다[21].

구현한 테스트베드가 MIL-STD-1553B RT 서브시스템의 요구사항을 충족하는지 확인하기 위해 그림 8과 같이 1553B 카드 및 시험용 소프트웨어가 설치된 노트북과 연결하여 시험환경을 구성하였다.

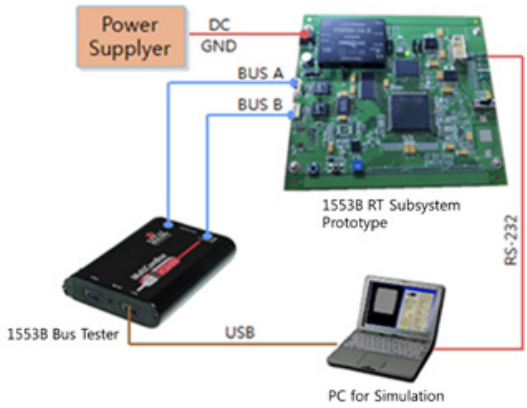

그림 8. 제안한 RT 서브시스템의 테스트베드 구성
Fig. 8. Testbed configuration of the proposed RT subsystem

3.5 실시간 데이터처리를 위한 펌웨어 구현

Core1553BRT_APB IP는 BC로부터 메시지를 수신하면 인터럽트를 발생시키고, 메시지의 커맨드 워드를 디코딩하여 RT의 다음 동작을 처리한다. Core1553BRT_APB는 BC로부터 수신 받은 데이터 워드를 저장하거나 BC로 송신하는 데이터 워드를 데이터 버스로 송신하는 역할을 한다.

Core1553BRT_APB 및 APB와 연동되는 프로세서의 펌웨어에서 송신할 데이터를 처리한다. 본 연구에서 구현한 펌웨어의 순서도는 그림 9와 같다.

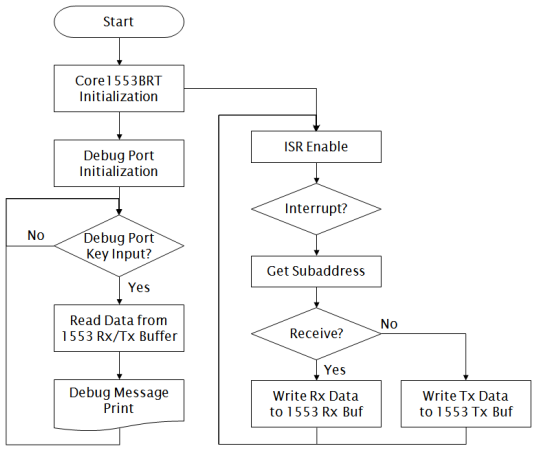

그림 9. 구현한 테스트 베드의 펌웨어 플로차트
Fig. 9. RT subsystem firmware flow chart

www.dbpia.co.kr

Ⅳ. 성능 실측 실험 및 분석

구현한 테스트베드가 3장에서 분석한 요구사항을 만족하는지 확인하기 위해 성능 실측 실험을 진행하고, 결과를 분석하였다.

4.1 전기적 특성 시험 환경 설정

MIL-STD-1553B RT 시스템 모듈의 전기적 특성을 샘플 메시지를 생성하고, 이를 전송한 후 MIL-STD-1553 트랜스포머의 차동 신호를 오실로스코프로 측정하였다. 샘플메시지는 MuxSim 소프트웨어를 이용하여 생성하였다. 생성한 샘플메시지는 Command Word와 Status Word이며 각 20비트의 데이터를 포함한다[7]. MIL-STD-1553B의 데이터 포맷을 그림 10에 나타내었다.

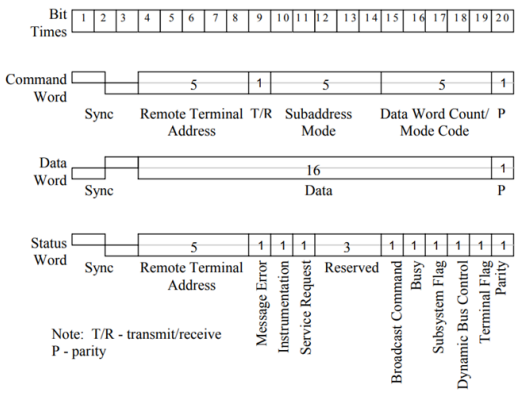

그림 10. MIL-STD-1553B 데이터 형식
Fig. 10. Data Format of MIl-STD-1553B

4.2 테스트베드 전기적 특성 및 실험 결과

MIL-STD-1553B에서 규정하는 커맨드 워드의 수신 레벨은 1.2 ~ 20.0Vp-p이다. 모의실험결과 그림 11과 같이 12.0Vp-p로 기준을 충족한다. 다음으로 규정된 스테이터스 워드 출력 레벨은 18.0 ~ 27.0Vp-p이다. 모의실험결과 그림 12과 같이 약 20.6Vp-p로 기준을 충족한다. MIL-STD-1553B의 전기적 특성 규정에서 응답시간 및 메시지 간격 규정은 각 메시지의 마지막 비트에서 0V가 되는 중간지점에서 다음 메시지의 첫 비트에서 0V가 되는 중간지점까지의 시간을 정의한다. 응답시간의 규정은 4.0 ~ 12.0㎲ 이다. BC의 커맨드 워드에 대한 응답 시간은 그림 13와 같이 5.5㎲로서 기준을 충족한다. 메시지 간격 규정은 4.0 ㎲ 이상이며 그림 14과 같이 9.3㎲로 기준을 충족한다.

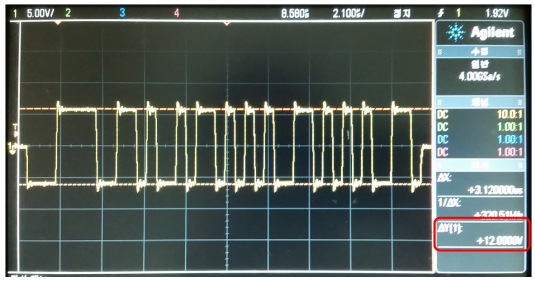

그림 11. 테스트 베드의 RT 커맨드워드 수신 값 측정 결과
Fig. 11. Measurement of RT command word receive level of test bed

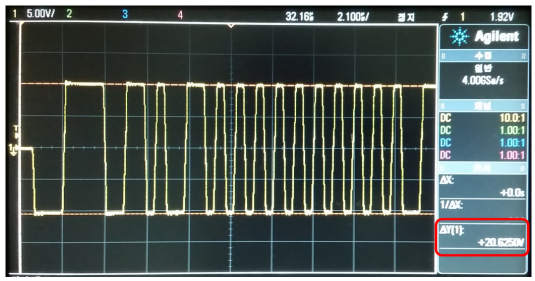

그림 12. 테스트 베드의 RT 스테이터스 워드 출력 레벨 측정 결과
Fig. 12. RT status word output level measurement result of test bed

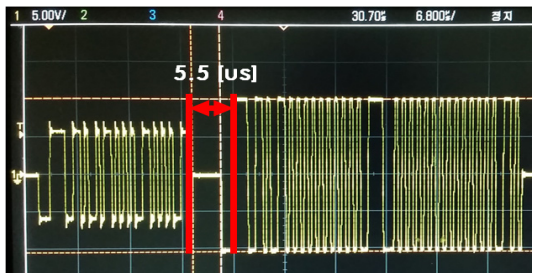

그림 13. 테스트 베드의 커맨드워드 응답시간 측정 결과
Fig. 13. Response time measurement results for the command word of the test bed

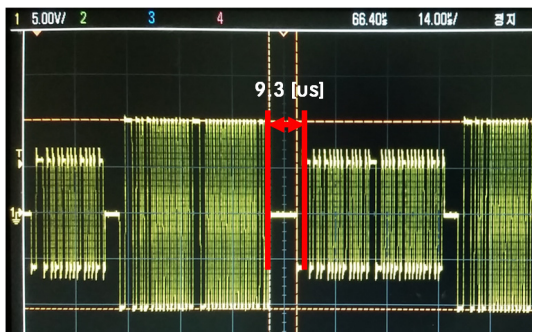

그림 14. 테스트 베드의 메시지 간격 측정 결과
Fig. 14. Message interval measurement result of test bed

www.dbpia.co.kr

Ⅴ. 결론 및 향후 연구

본 논문에서는 고 신뢰성을 요구하는 군사용 시스템을 위한 MIL-STD-1553B 서브시스템을 FPGA 디바이스에 구현하는 설계기법을 제안했다. 제안한 설계기법을 바탕으로 RT 서브시스템의 테스트베드를 제작하고, 통신 기능을 시험 및 분석한 결과 제안하는 설계기법을 통해 다음과 같은 장점들을 얻을 수 있음을 확인하였다.

첫 번째, 기존 설계기법은 각 모듈을 구현하는데 특정 IC를 사용하지만 제안하는 설계기법은 MIL-STD-1553 트랜시버와 트랜스포머를 제외한 모든 부품을 하나의 FPGA 디바이스에 합성하여 기존 설계기법에 비해 부품 수를 줄이고, 집적도를 높여 소형 시스템 제작이 가능하다. 두 번째, 기존 설계기법에서 사용하는 고가의 MIL-STD-1553 컨트롤러 ASIC과 CPU를 IP Core로 대체함으로써 기술의존도를 감소시켰고, 재사용 가능한 IP Core의 특성으로 제조 원가 절감이 가능하다. 세 번째, 특정 ASIC 및 CPU를 사용하는 기존 설계기법은 한 번 구현하면 시스템의 수정이 어렵지만 제안한 기법은 하드웨어 기능과 소프트웨어 기능 모두 프로그램 가능하기 때문에 시스템 유지보수가 용이하고, FPGA의 용량이 허용하는 한 하나의 FPGA의 다수의 서브시스템을 구현할 수 있다.

다만 FPGA를 이용하여 시스템을 구현하므로 선택한 FPGA에 따라 하드웨어의 신뢰성이 기존 시스템을 구성하는 IC들에 미치지 못할 수 있기 때문에 향후에는 이를 극복하기 위한 신뢰성 향상 기법에 대한 연구가 필요하다. 또한 하나의 모듈에서 다기능 다채널 운용이 가능한 듀얼 MIL-STD-1553B 버스 연동용 모듈 기반의 시스템 확장 기법을 연구할 것이다.

References

[1] J. H. Kim and B. G. Kim, "Avionics MIL-STD-1553B message design," in *Proc. Conf. The Korean Soc. Aeronautics and Space Sci.*, pp. 1628-1632, Yongpyeong, Korea, Nov. 2011.

[2] H. C. Kim, D. M. Ahn, and G. Y. Hong, "A study for operation technique plan of low-cost UAV data bus," *The J. Advanced Navig. Technol.*, vol. 16, no. 6, pp. 1024-1031, 2012.

[3] K. S. Yoon, J. T. Lee, J. B. Jo, and K. Y. Bang, "Data transfer mechanism for improving performance in embedded training system," in *Proc. Institute of Electron. and Inf. Eng. Fall Conf.*, Seoul National University, Korea, pp. 195-196, Nov. 2009.

[4] G. T. Sung, "A design of interface module for multiple level MIL-STD-1553 bus topology," *JKIICE*, vol. 10, no. 6, pp. 1045-1054, 2006.

[5] G. P. Kim, G. H. Ahn, Y. S. Kwon, S. J. Yun, and S. H. Lee, "Analysis and implementation of high speed data processing technology using multi-message chain and double buffering method with MIL-STD-1553B," *J. KIMST*, vol. 16, no. 4, pp. 422-429, 2013.

[6] "*MIL-STD-1553 Designer's Guide*," 6th Ed., DATA DEVICE CO., pp. IX-3-IX-10, 2003.

[7] "*MIL-STD-1553 Tutorial*," AIM GmbH, pp. 1-1-3-3, 2010.

[8] Y. L. Im and J. H. Lee, "Semiconductor IP technology and market trend," *Weekly ICT Trends*, ETRI, vol. 990, 2001.

[9] Y. O. Kwon, K. Park, and M. J. Kim, "Technology trends of high speed serial transceiver embedded FPGA," *Weekly ICT Trends*, ETRI, vol. 990, 2003.

[10] C. H. Lee, "SoC(System-on-Chip)," *J. TTA*, no. 93, 2004.

[11] S. H. Kim, "Current issues and trends of IP based SoC design," *SITI Newsletter*, vol. 1, no. 2, 2002.

[12] M. G. Lee, "MIL-STD-1553 communication built in FPGA," Chungnam National Univ., 2008.

[13] B. Sourav, C. D. Naidu, Y. P. Sai, and P. Kishore, "Design and implementation of remote terminal for MIL-STD-1553 B," *2017 IEEE 7th IACC*, Hyderabad, pp. 270-274, 2017.

[14] R. H. Randhawa and M. Imran, "A low cost design of MIL-STD-1553 devices," *IEEE First AESS European Conf. Satellite Telecommun. (ESTEL)*, pp. 1-4, Rome, 2012.

[15] C. Hou, S. Wang, Q. Wang, and H. Zhang, "Performance analysis of high-speed

www.dbpia.co.kr

MIL-STD-1553 bus system using DMT technology," *8th Int. Conf. Computer Sci. & Edu.*, pp. 533-536, Colombo, Sri Lanka, 2013.

[16] *"Core1553BRT_APB Handbook,"* Actel Corporation, pp. 5-8, 2010.

[17] "*AMBA APB Protocol Version: 2.0 Specification*," ARM, pp. 1-2-1-3, 2010.

[18] "*SmartFusion Microcontroller Subsystem User's Guide*," Actel Corporation, pp. 7-8, May 2010.

[19] "*SmartFusion Customizable System-on-Chip*," Actel Corporation, pp. 3-1-3-6, May 2010.

[20] "*HI-1573, HI-1574 MIL-STD-1553 3.3V Monolithic Dual Transceivers*," HOLT IC, pp. 1-11, 2009.

[21] W. S. Choe, D. I. Han, C. O. Min, S. M. Kim, Y. S. Kim, and D. W. Lee, "Design of an FPGA-Based RTL-Level CAN IP using functional simulation for FCC of a small UAV system," *Int. J. Aeronautical and Space Sci.*, vol. 18, no. 4, pp. 675-687, Dec. 2017.

김 승 한 (Seung-Han Kim)

2015년 8월 : 금오공과대학교 전자공학부 졸업
2017년 2월 : 금옥오과대학교 전자공학과 석사 졸업
현재 : 금오공과대학교 IT융복합공학과 박사과정 재학
<관심분야> 네트워크 임베디드 시스템, 실시간 IoT

조 창 훈 (Chang-Hoon Cho)

2003년 2월 : 동아대학교 전자공학과 학사 졸업
2013년 3월~2015년 5월 : 금오공과대학교 국방IT시스템공학과 석사 졸업
2002년~현재 : 한화시스템 재직
<관심분야> 네트워크 임베디드 시스템, 유/무선 통신, 항공전자

김 동 성 (Dong-Seong Kim)

1992년 : 한양대학교 전자공학과 학사 졸업
2003년 : 서울대학교 전기 및 컴퓨터공학부 박사졸업
2004년 : Cornell 대학교 ECE' 박사후 연구원
2014년~2017년 : KIT 융합기술원 원장
2014년~현재 : ICT융합특성화연구센터 센터장
2014년~현재 : IEEE/ACM Senior 회원.
<관심분야> 국방 IT 시스템, 실시간 IoT 시스템, 네트워크 기반 분산제어시스템

www.dbpia.co.kr