

고속 표본율을 위한 임의의 SRC 구조

최종원*, 이택준*, 권주혁*, 안주언*, 김복기^o

Arbitrary Sample Rate Conversion Architecture for High Output Sample Rate

Jong-Won Choi*, TaekJoon Yi*, Joo-Hyeok Kwon*, Jooeon Ahn*, Bokki Kim^o

요약

이 논문은 고속 표본율을 발생시키기 위한 임의의 표본율 변환기(SRC)의 구조를 제안하고 시뮬레이션을 통해 성능을 결과로 나타낸다. 통신 시스템에서 다양한 데이터율의 신호를 송수신하기 위해서는 임의의 표본율을 사용해야 한다. 기존의 SRC 구조는 시스템이 복잡하고 소모되는 자원이 많다. 또한, 통신 시스템의 경우 데이터율과 표본율의 동기화가 필요한데 이를 고려하여 설계하려면 외부 클럭이 필요해진다. 그래서 우리는 데이터율과 표본율 사이의 동기화가 필요하지 않은 임의의 SRC 구조를 제안하였다. 이 논문에서는 제안한 구조의 성능과 성능을 충족시키기 위한 필터의 조건을 결과로 보여준다.

Key Words : Sample rate conversion, arbitrary SRC, digital signal processing, digital filter, interpolation

ABSTRACT

This paper proposes an architecture of digital arbitrary sample rate conversion for high output sample rate and shows the performance through simulation. In order to transmit and receive signals at various data rates in a communication system, an arbitrary sampling rate must be generated. The SRC is a method of adjusting the sampling rate. The most basic SRC requires an analog circuit as a resampling method after signal reconstruction. There are other methods such as L/M SRC and fractional SRC using delay-estimation. Although these methods can generate an arbitrary sampling rate, there are drawbacks to each method. In particular, when the SRC is implemented in a communication system, it is so difficult to consider the synchronization between the data rate and the sampling rate. So we propose a digital arbitrary SRC architecture that can be implemented more easily. In this paper, we implement the proposed architecture and shows the performance with simulation as a result.

I. 서론

오늘날 통신 시스템은 고속 광대역의 신호를 송수신하도록 발전하고 있다. 고속 광대역의 신호를 처리하려면 디지털 신호처리 분야 기술들의 발전이 필수적이다. 이러한 기술들의 시작은 ADC(analog

-to-digital converter) 및 DAC(digital-to-analog converter) 소자와 디지털 신호처리(DSP: digital signal processing) 하드웨어의 발전으로부터 시작된다. ADC 및 DAC 소자의 성능이 향상되면서 통신 신호를 점차 고속 광대역으로 확장되고 있다. 그러나 군 통신 방식은 광대역을 사용하기보다 채널 상황에 맞

* First Author : Danam Systems, R&D Center, cjw442@danam.co.kr, 정희원

^o Corresponding Author : Danam Systems, R&D Center, bokki@danam.co.kr, 종신회원

* Danam Systems, R&D center, {itboy, kjh1346, llckybbang}@danam.co.kr

논문번호 : 201902-457-A-RN, Received February 11, 2019; Revised May 17, 2019; Accepted May 27, 2019

는 통신 대역 및 신호를 사용하고 있다. 이를 사용하기 위해 다중대역 다중모드를 지원하는 통신 시스템에 대한 연구가 많아지고 있으며 SDR(software-defined radio)과 같은 통신 시스템 분야의 연구도 이루어지고 있다¹¹⁻³¹.

다중대역 다중모드를 지원하는 통신 시스템을 구현하려면 표본율 변환기(SRC: sample rate converter)에 대한 설명이 필요하다. SRC는 디지털 신호의 표본율을 적당한 수준으로 높이거나 낮추는 장치를 말한다¹⁴. ADC 및 DAC에 인접한 디지털 신호 처리부에서 많이 활용되고 있다. 하나의 예로 반송파 주파수의 통과대역 신호를 디지털 신호로 직접 변환하는 디지털 RF(radio frequency) 혹은 디지털 IF(intermediate frequency) 방식에서는 ADC와 DAC의 표본화 주파수가 신호 대역폭과 비교하여 매우 높다. 복조 후에는 기저대역으로 주파수를 하향 변환하지만 SRC를 사용하여 표본화율도 낮추는 것이 효과적이다. 또한, 반대 방향의 신호처리, 즉 기저대역의 신호를 반송파 주파수 대역으로 변조하거나 여러 신호를 다중화하는 송신과정에서는 앨리어싱(aliasing)을 피하기 위해 표본율을 높이는 SRC를 사용하기도 한다. 이 같은 사례는 디지털 모뎀, 군용 송신기에서 빈번하다.

SRC는 여러 가지 방법으로 구현할 수 있다. 가장 간단한 SRC는 신호 복원 후 재표본화이다. 원래 신호를 복원한 후 다른 표본율로 재표본화하는 방법이다¹⁴. 다른 방법으로는 정수배 SRC가 있다. 원 신호를 표본화한 후 표본의 숫자를 정수배로 줄이거나 늘리는 방법이다. 이를 up-sampling, down-sampling이라 하는데 이 과정에서 필터를 통과하면 각각 보간기(interpolator), 간축기(decimator)라고 부른다. 보간기와 간축기를 조합하여 분수율의 SRC를 구현할 수 있다⁵¹. 보간기와 간축기만 사용해서는 나올 수 없는 표본율을 발생하기 위한 방식이다. 이 방식은 통신 시스템 외에도 음성 신호 처리, 전력 시스템 제어 같은 분야에도 많이 사용되고 있다. 그러나 높은 표본화율을 발생해야 하는 경우 구현이 어려운 단점이 있다. 만약 표본화율을 발생시키는 과정에서 L의 값이 커지는 경우, 보간이 선행되기 때문에 L배의 표본율만큼 표본들을 처리해야 한다⁵¹. 위에서 언급했던 음성 신호 처리는 표본율이 상대적으로 작아서 많이 사용되지만 높은 데이터율의 통신 신호를 처리하기는 어려울 수 있다. 분수율의 SRC 구조에서 지연 추정을 사용하면 더 정밀한 표본율을 발생시킬 수 있다. Farrow filter, polynomial filter가 주로 많이 사용되며 이와 관련된 여러 연구가 이루어지고 있다⁶⁻⁸¹.

반면 SRC를 통해 표본율을 변환시킬 때 데이터율과 동기화가 필요한 경우가 있다. 통신 시스템에서 데이터율을 변경하는 경우에 표본율과 맞춰서 변환해야 하는데 이 때, 데이터율과 표본율의 동기화가 필요하다^{9,101}. 동기화를 하는 경우 통신 시스템이 좀 더 복잡해지고 자원을 더 많이 소모하는 편이다. 따라서 이 논문에서 동기화가 필요하지 않은 임의의 디지털 SRC 구조를 제안한다. 우리는 동기화가 필요하지 않은 디지털 필터를 사용하여 표본율을 변환하는 구조를 제안하고 시뮬레이션을 통해 성능을 나타내었다. II장은 기존의 SRC 구조에 대해 설명하고, III장에서 제안하는 SRC 구조에 대해 설명한다. IV장에서는 시뮬레이션 환경 및 성능을 나타낸다. V장에서 결론을 통해 이 논문을 마친다.

II. SRC 구조

통신 시스템은 고정된 클럭 속도의 ADC 혹은 DAC를 사용하여 아날로그 또는 디지털 RF 신호를 송수신한 후 표본화율이 높은 신호로 변환한다. 하드웨어의 관점에서, 기저 대역 신호처리 장치는 임의로 다른 표본화율의 신호를 처리할 수 없다. 또한, 고정된 데이터율이 아닌 여러 데이터율을 사용하는 시스템의 경우 기저 대역 처리에 대해 서로 다른 표본율이 필요하게 된다. 따라서 SRC는 ADC, DAC와 기저 대역 신호처리 간의 동기화를 제공하는 중요한 기능이 다.

2.1 신호 복원 후 재표본화 구조

표본화 주파수 $f_1 = 1/T_1$ 인 디지털 신호가 있다고 가정하자. 이 신호를 다른 표본화 주파수 $f_2 = 1/T_2$ 로 변환하는 기술 중 가장 많이 사용되는 것은 신호를 복원한 다음 재구성한 신호로 재표본화하는 것이다. 그림 1에 신호 복원 후 재표본화 방식의 구조를 나타내었다.

ADC 신호 처리는 다음과 같이 가정된다. 즉, 표본 $x(kT_1)$ 은 $x(t)$ 와 주기 T 인 임펄스 열 $p(t)$ 의 곱셈으로 얻어진다.

$$\begin{aligned} x(kT_1) &= x(t)p(t), p(t) = \delta(t - kT_1) \\ &= \sum_{k=-\infty}^{\infty} x(t)\delta(t - kT_1) \end{aligned} \quad (1)$$

그런 다음 이상적인 DAC는 zero-order hold를 수

행한 후 $x_a(t)$ 를 다음과 같이 생성한다.

$$x_a(t) = T \sum_{k=-\infty}^{\infty} x(kT_1)\delta(t-kT_1) \quad (2)$$

신호 $x_a(t)$ 를 임펄스 응답 $h_c(t)$ 인 저역 통과 필터로 통과하면 다음과 같이 정리된다.

$$\begin{aligned} y(t) &= \int_{-\infty}^{\infty} x_a(\tau)h_c(t-\tau)d\tau \\ &= T_1 \sum_{k=-\infty}^{\infty} x(kT_1)h_c(t-kT_1) \end{aligned} \quad (3)$$

완벽한 재구성, 즉 $y(t) = x(t)$ 는 표본화 주파수의 절반은 통과하는 이상적인 저역 통과 필터를 통해 얻을 수 있다.

$$h_c(t) = \frac{1}{T_1} \text{sinc} \frac{t}{T_1} \quad (4)$$

마지막으로, 재구성된 신호는 주기 T_2 의 임펄스 열로 재표본화된다.

$$\begin{aligned} y(mT_2) &= \sum_{k=-\infty}^{\infty} y(t)\delta(t-mT_2) \\ &= \sum_{k=-\infty}^{\infty} x(kT_1)h(t-kT_1)\delta(t-mT_2) \end{aligned}$$

이를 정리하면,

$$\begin{aligned} y(mT_2) &= \sum_{k=-\infty}^{\infty} x(kT_1)h(mT_2-kT_1) \\ &= \sum_{k=-\infty}^{\infty} x(kT_1)h\left(T_1\left(\frac{mT_2}{T_1}-k\right)\right) \\ &= \sum_{k=-\infty}^{\infty} x(kT_1)h\left(T_1\left(\frac{mT_2}{T_1}+\mu_m-k\right)\right) \end{aligned} \quad (5)$$

$$\text{where, } \mu_m = \frac{mT_2}{T_1} - \lfloor \frac{mT_2}{T_1} \rfloor$$

$$\begin{aligned} y(mT_2) &= \sum_{k=-\infty}^{\infty} x(kT_1)h(T_1(n+\mu_m)) \\ \text{where, } n &= \lfloor \frac{mT_2}{T_1} \rfloor - k \end{aligned} \quad (6)$$

$$y(mT_2) = \sum_{k=-\infty}^{\infty} x\left(T_1 \lfloor \frac{mT_2}{T_1} \rfloor - n\right) h\left(T_1(n+\mu_m)\right) \quad (7)$$

μ_m 은 현재 표본 주기 내에 계산될 표본의 위치를 반영한다. 식 (5)는 SRC의 디지털 표현이다.

실제 구현 사례에서는, 표본화 주기 T_1 , T_2 는 두 정수의 비율로 표현된다.

$$\frac{T_1}{T_2} = \frac{L}{M} \quad (8)$$

$$y(mT_2) = \sum_{k=-\infty}^{\infty} x\left(T_1 \lfloor \frac{mL}{M} \rfloor - n\right) h\left(T_1(n+\mu_m)\right) \quad (9)$$

$$\text{where, } \mu_m = \frac{1}{L} [(mM) \bmod L]$$

따라서 μ_m 는 m 의 모든 값에 대해 L 개의 고유값 $0, \frac{1}{L}, \frac{2}{L}, \dots, \frac{L-1}{L}$ 만을 가질 수 있다. 이는 $x(kT_1)$ 에서 $y(mT_2)$ 를 계산할 때 사용되는 $h(t)$ 의 표본의 유일한 고유 집합이 있다는 뜻이다. 따라서 시스템 응답 $h(T_1(n+\mu_m))$ 은 주기 L 을 갖는 m 에서 주기적이다. 즉, 이 저역 통과 필터는 선형, 주기 시변 시스템에 속한다.

위의 정리한 신호를 주파수 영역으로 표현하면,

$$\begin{aligned} X_1(j\omega) &= \frac{1}{2\pi} [X(j\omega) * P(j\omega)] \\ P(j\omega) &= \frac{2\pi}{T} \sum_{k=-\infty}^{\infty} \delta(\omega - k\omega_s) \\ X_1(j\omega) &= \frac{1}{T} \sum_{k=-\infty}^{\infty} X(j(\omega - k\omega_s)) \end{aligned} \quad (10)$$

수식 (10)으로부터, ADC를 위한 표본화 과정은 신호 $x(t)$ 의 스펙트럼 반복을 유도한다는 것을 알 수 있다. 이 과정을 이미징(imaging)이라고도 한다.

표본화 주기 T_2 로 재표본화하면 표본 처리 과정에

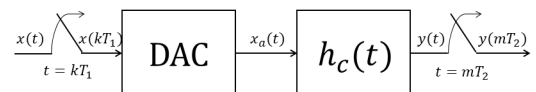
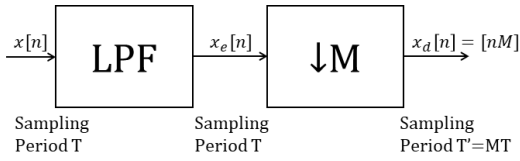
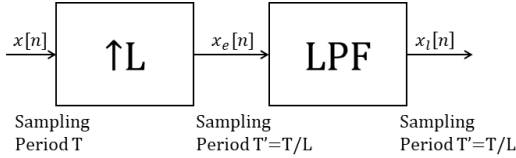


그림 1. 신호 복원 후 재표본화 구조도
Fig. 1. A block diagram of resampling after reconstruction.



(a) A block diagram of decimator



(b) A block diagram of interpolator

그림 2. 간축기, 보간기의 구조도
Fig. 2. Block diagrams of decimator and interpolator.

서 스펙트럼의 반복을 일으킨다. 만약 신호가 대역 제한되지 않으면 앨리어싱이라고 하는 스펙트럼 겹침 현상이 발생한다. 앨리어싱은 일단 발생하면 제거하기 어렵기 때문에 미리 방지해야 한다. 이는 보통 필터 $h_c(t)$ 에 의해 수행된다. 그래서 이 필터는 복원 필터로 알려져 있다. 이 필터는 SRC의 신호 품질에 영향을 준다. ‘신호 복원 후 재표본화’ 과정에서 주파수 영역에서의 기본적인 신호 처리 단계를 그림 1에 나타내었다. 표본화 주기 T_1 이 대역 제한 신호 $x(t)$ 의 대역폭에 대해 짧다고 가정하면 앨리어싱이 없기 때문에 표본화 및 DAC를 수행한다. 필터 $h_c(t)$ 는 안티 앨리어싱 필터이며 앨리어싱을 방지한다. 실제로 구현된 필터는 완벽한 필터 특성을 가지지 않는다. 그러므로 전이 대역은 신호의 왜곡을 유발하고 첫 번째 이미지 스펙트럼의 일부가 잔여로 남아있게 된다. 이제, 표본화 주기 T_2 로 재표본화를 수행하면 앨리어싱이 발생한다. 그러나 재표본화한 신호의 왜곡이 없는 스펙트럼 부분이 존재한다. 관심 채널 이외의 여러 인접 채널 간섭원을 포함하는 신호에 대해 SRC를 설계할 때 관심 채널은 필터의 전달 함수의 왜곡없는 영역에 있어야 한다. 이 필터의 주 목적은 앨리어싱을 제어하는 것이다. 따라서 안티 앨리어싱은 모든 SRC 시스템에서 준수해야 하는 중요한 사항이다.

2.2 L/M SRC 구조

신호 복원 후 재표본화 구조의 일부 단계는 아날로그 영역에서 수행되기 때문에 실제로 구현했을 때 고려해야 부분이 많다. 따라서 디지털 영역에서 표본율을 직접 변환하는 다른 기술들을 사용하기도 한다. 이

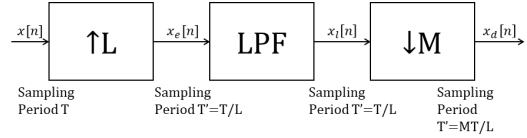


그림 3. L/M SRC 구조도
Fig. 3. A block diagram of SRC by L/M.

중 가장 많이 사용되는 기술은 간축과 보간이다. 안티 앨리어싱 필터를 통과한 후 down-sampling하는 과정을 간축이라 한다. 간축을 쉽게 설명하자면, 정수 M 으로 down-sampling을 한다는 것은 신호로부터 매 M^{th} 표본을 선택한다는 뜻이다. 반대로 up-sampling 한 후 안티 이미징 필터를 통과하는 과정을 보간이라 한다. 보간은 각 표본의 사이에 $L-1$ 개의 새로운 표본을 만들어내는 것이다. 그림 2에 보간기와 간축기의 구조를 나타내었다.

2.3 디지털 SRC 필터

일반적으로 단일 단계(single-stage) 혹은 다단계(multi-stage) 구조의 I 번째 단계에서 정수배 SRC는 그림 3과 같이 나타낸다. 그림 3에서 입력은 먼저 L_i 배 up-sampling되고, 저역 통과 필터를 통과한다. 그런 다음, M_i 배 down-sampling을 한 후 변환된 표본율로 구성된 디지털 신호가 출력된다. 이 때 입력 표본화 주파수 $f_{s,i-1}$ Hz와 출력 표본율 $f_{s,i}$ Hz 사이의 관계는 다음과 같다.

$$f_{s,i} = \frac{L_i}{M_i} \times f_{s,i-1} \quad (11)$$

여기서, L_i 와 M_i 는 정수값이다. 이 때, 저역 통과 필터의 통과대역과 정지대역에서 리플(ripple)의 최대 크기는 각각 δ_1, δ_2 로 정의하고, 통과대역과 정지대역의 경계(edge)가 각각 F_1, F_2 라 정의하자. 만약 저역 통과 필터 $H_i(e^{j\omega})$ 를 equiripple FIR 필터로 구현한다면, Kaiser가 간략히 한 결과에 의한 최적 필터의 차수는 다음과 같이 추정된다.

$$N_i = \frac{-10(\log_{10}\delta_1\delta_2) - 13}{2.324 \times 2\pi} \cdot \frac{f_{s,i-1} \times L_i}{\Delta F} \quad (12)$$

여기서, $f_{s,i-1} \times L_i$ Hz는 필터의 표본화 주파수이고, ΔF 는 전이대역(transition band)의 대역폭이다.

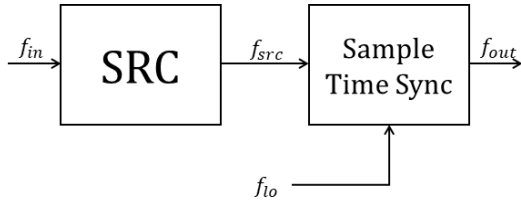


그림 4. 동기화가 필요한 SRC 구조도
Fig. 4. A block diagram of SRC with timing recovery.

이산 신호가 주파수 영역에서 표본화 주파수를 주기로 하는 주기 함수로 표현되고, 주파수 영역에서 앨리어싱을 방지하기 위해 중복된 이미지 스펙트럼 (replicated spectral image)이 기저 대역의 정지대역 경계 안에서 겹쳐지지 않아야 한다는 조건을 고려하면 전이대역의 대역폭은 다음과 같이 나타낼 수 있다.

$$\Delta F = f_{s,i-1} - F_2 - F_1 \quad (13)$$

식 (12)의 첫 번째 인자를 $D(\delta_1, \delta_2)$ 로 정의하고, 식 (13)을 참조하면, 식 (12)를 다음과 같이 정리할 수 있다.

$$N_i = D(\delta_1, \delta_2) \cdot \frac{f_{s,i-1} \times L_i}{f_{s,i-1} - F_2 - F_1} \quad (14)$$

이를 통해 메모리 요구량과 초당 곱셈 수(MPS: multiplications per second)로 측정되는 계산 복잡도를 추정할 수 있다. 메모리 요구량은 필터 계수 및 데이터 저장을 위해 필요한 워드 수로 측정하는데, 이는 필터의 차수에 비례하므로 다음과 같이 필터 계수를 저장하는데 필요한 워드 수로 제한하여 측정한다. 이 논문에서는 메모리 요구량과 초당 곱셈 수를 비교하지는 않는다.

III. 데이터율 동기화용 SRC 구조

통신 시스템에서 채널의 상태에 따라 데이터율을 변경해야 할 필요가 있다. 주로 군용 통신 환경, 지상국 연동 통신 환경에서의 통신 시스템에서 데이터율 변경에 대한 요구가 있다. 이런 경우에 송수신기에서 모두 표본화 주파수를 변경해야 할 필요가 있다. 실제로 많이 사용되는 SRC 방법은 신호 복원 후 재표본화 방식이다. DAC 통과 이후 아날로그 필터를 통과시켜서 앨리어싱을 방지하고 다시 ADC를 통해 표본화를 수행한다. 이 방식의 단점은 아날로그 회로를 많이 사용하기 때문에 송수신기의 부피가 커진다는 점이다.

위에서 설명한 L/M SRC 구조의 경우 디지털 영역에서 처리한다는 점에서 신호 복원 후 재표본화 방식보다 송수신기 설계 관점에서 편리하다. 그러나 통신 신호의 데이터율이 크고, 보간율 L 이 커지는 경우에 보간이 간축보다 선행되기 때문에 계산량이 현실적으로 처리 불가할 정도로 많아지게 된다. 이런 이유로 사실상 L/M SRC는 통신 신호 처리보다는 상대적으로 데이터율이 낮은 음성 신호 처리에서 많이 사용되는 추세이다.^[11] L/M SRC 구조는 임의의 표본율을 만들기 위해서 주로 CIC 필터를 사용한다. 이 구조의 장점은 곱셈기를 많이 사용하지 않는다는 것이다. 곱셈기의 개수가 늘어날수록 시스템의 부피가 늘어나기 때문에 적을수록 좋다. 하지만 곱셈기의 개수가 적어질수록 곱셈기의 순수 연산량이 늘어나게 된다.

요즘 가장 많이 연구되는 SRC 구조는 L/M SRC 구조와 지연(delay) 추정 블록을 결합하여 사용하는 fractional SRC 구조이다. 현재 farrow 구조 기반, FIR 필터 기반 SRC가 주로 사용되고 있다. Farrow 구조 기반 SRC는 메모리 자원을 사용하지 않고 구현할 수 있다는 장점이 있다. 그러나 동기화를 위한 외부 클럭이 필요하다. 그림 4는 외부 클럭이 사용되는 구조를 나타낸다. 입력 표본율에서 출력 표본율로 변환할 때 정확한 표본화 시간을 구하려면 외부 클럭을 이용해야 한다. 그러나 외부 클럭을 생성하기 위해서는 시스템의 자원 및 부피가 늘어나게 된다. CIC 기반 구조와 farrow 기반 구조를 비교하면 farrow 구조는 여러개의 곱셈기를 필요로 한다. 또한, 필터 계수를 미리 저장해야 한다. 그림 5는 Proakis가 제안한 동기화 보간기 구조이다. 아날로그 신호를 표본화한 후 디지털 SRC를 통해 표본율을 변환하는데 동기를 위해 외부 클럭이 디지털 영역에서 이용하고 있다.

다상(Polyphase) FIR 필터 기반 SRC에 대한 연구도 이루어지고 있다. Dick, Harris는 다상 FIR 필터 기반 SRC를 구현하여 높은 SFDR(Spurious Free Dynamic Range) 성능을 나타내었다. 하지만 구현이 매우 복잡하고, 외부 클럭이 필요하다는 단점이 있다. Barker는 여기서 더 나아가 외부 클럭이 필요하지 않은 다상 FIR 필터 기반 SRC를 구현하였다. 위 연구들은 동기화를 목적으로 외부 클럭을 사용하여 정밀한 시각 테이블을 생성하였다.

3.1 제안한 SRC 구조

이 논문은 외부 클럭 없이 즉, 동기화 없이 표본율을 변경하는 구조를 제안하여 위에서 언급한 구조들의 단점을 보완한다. 데이터율을 변환하며 표본율을

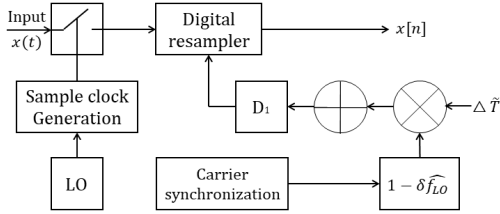


그림 5. 동기화 보간기 구조도
Fig. 5. A block diagram of interpolator with timing recovery.

변환할 때 동기화가 없는 구조로써 FIR 필터를 사용하여 구현하였다. 표본율을 변환하기 이전에 FIR 필터를 통해 정보 신호를 정형하면 표본율을 변환할 때 신호를 쉽게 구성할 수 있다. 그림 6은 제안한 SRC 구조의 블록 다이어그램이다. 구조는 다음과 같다. 보간 직전에 데이터 신호를 통과하는 데이터율 가변 필터를 통과한다. 통과한 신호는 SRC 블록에서 보간을 수행한다. 마지막으로 보간된 신호는 변환된 표본율에 맞는 저역 통과 필터를 통과한다.

데이터율이 임의의 표본율에 따라 변하면 SRC 비율에 따라 신호의 스펙트럼이 변화하게 된다. 이 때 spur의 영향을 받아 SFDR이 낮아지거나, 잡음 성분이 반복되어 SNR에 영향을 줄 수 있다. 이런 이유로 처음에 통과하는 디지털 필터를 데이터율과 임의의 표본율이 변화하는 정도를 반영하여 설계해야 한다. 우선 데이터 신호의 최소 데이터율부터 최대 데이터율까지 모두 통과할 수 있는 가변 저역 통과 필터를 설계한다. 필터는 데이터 신호의 대역폭에 따라서 가변된다. 이 때, 표본율은 데이터율의 배수로 정한다. 필터의 차수는 수식 (14)를 이용하여 계산하고 필터 설계에 반영한다. 신호를 제대로 복원하기 위한 데이터율과 표본율 사이의 조건은 다음과 같다.

$$f_{SRC} \geq L \cdot f_b \quad (15)$$

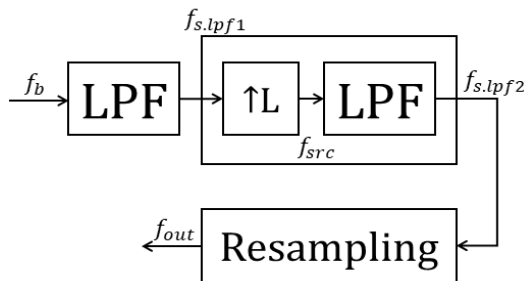


그림 6. 제안한 SRC 구조도
Fig. 6. A block diagram of suggested SRC.

위 조건을 만족하면 SRC 이후 2배의 보간기를 직렬 연결하여 임의의 표본율을 구현할 수 있다. 이후 SRC 블록도에서 데이터율이 변하는 만큼의 비율로 보간을 수행한다. 보간율은 내부 디지털 클럭 도메인 간의 데이터 전달을 간단하고 안전하게 하기 위해 설정한다. 보간을 수행한 다음 보간율과 연동하여 설계된 디지털 필터를 통해 이미지 스펙트럼을 제거한다. 다만 제시한 구조를 사용하여 임의의 표본율을 발생시키기 위해서는 필터의 설계가 중요한 요소이다.

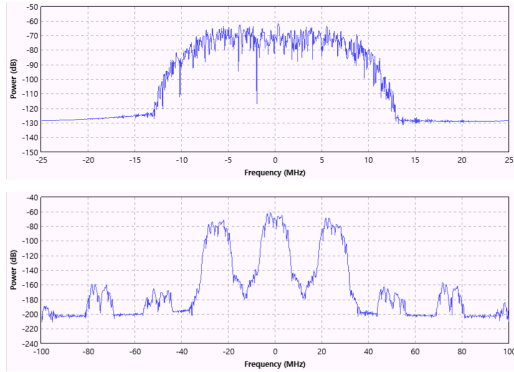
3.2 시뮬레이션 및 실험 결과

제안한 구조의 성능을 검증하기 위한 시뮬레이션을 수행하였다. 보간을 8배 한다는 가정을 했을 때 첫 단의 필터를 어느 정도로 설계하면 원하는 SFDR 성능을 보장하는지를 측정하였다. 표 1은 시뮬레이션 환경을 나타낸다. 보간을 8배 한다고 가정했을 때 출력 주파수를 100 MHz로 고정시켰다. 임의의 SRC를 통해 입력 주파수가 변해도 임의의 표본 변화율을 만들고 SFDR 성능을 80dB까지 보장하기 위한 실험 환경을 구성하였다.

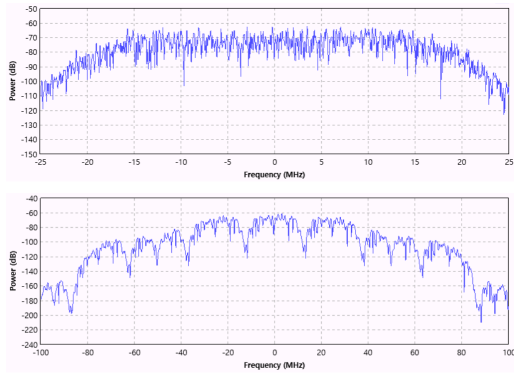
그림 7은 첫 번째 저역 통과 필터의 설계에 따른 측정 스펙트럼 결과이다. SFDR 성능을 80dB로 만족시키려면 필터의 조건을 얼마나 제한을 해야 하는지 실험하였다. 입력 주파수는 12.5 MHz에서 25 MHz 사이로 변동하고 보간은 8배 한다. 보간기 이전에 첫 번째 저역 통과 필터를 통과해야 한다. 이 필터의 정지대역과 통과대역은 입력 주파수에 의해 가변적이어야 한다. 이후 필터의 조건을 바꿔가며 실험을 했다. 보간기 이후 두 번째 저역 통과 필터를 통과한 후 출력 주파수는 100 MHz로 고정되며 표본 변화율, 즉 임의의 SRC 율에 따라서 표본율이 변화하게 된다. 그림 7은 첫 번째 필터의 정지대역 계수가 0.7이고 통과대역 계수가 0.5인 경우이다. 두 번째 저역 통과 필터를 통과한 후, 이미지 스펙트럼 사이가 좁아지면서 SFDR 성능이 급격히 낮아지는 것을 확인하였다. 그림 8은 입력 주파수가 25 MHz 일 때의 측정 스펙트럼이다. 첫 번째 저역 통과 필터는 고정하고, 두 번째

표 1. 시뮬레이션 환경
Table 1. Conditions of simulation

Input frequency	12.5 ~ 25 MHz
Interpolation rate	8
Output frequency	100 MHz
Window	Kaiser



(a) Spectrum with Input frequency 12.5 MHz



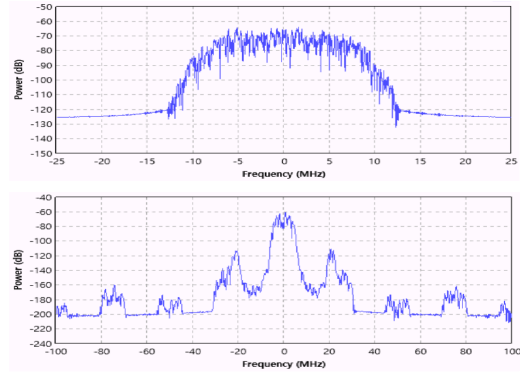
(b) Spectrum with Input frequency 25 MHz

그림 7. 첫 번째 저역 통과 필터 설계에 따른 스펙트럼 결과
Fig. 7. Spectrum analysis with 1st low pass filter design

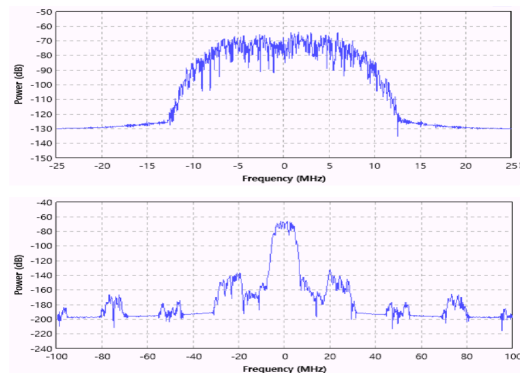
저역 통과 필터 계수를 가변하여 스펙트럼을 확인하였다. 첫 번째 실험은 정지대역 계수를 0.275로 설정, 두 번째 실험은 정지대역 계수를 0.25로 설정하였다. 실험 결과, 첫 번째 실험은 약 59dB의 SFDR 성능을 나타냈고, 두 번째 실험은 약 78dB의 SFDR 성능을 나타내었다. 만약 SFDR 성능이 60 dB 가까이 되어야 하는 시스템을 구현해야 하는 경우, 두 번째 저역 통과 필터의 정지대역 계수를 0.275로 설정하면 성능을 충족시킬 수 있다.

3.3 성능 비교

제안한 SRC 구조는 입력 주파수를 받아 SRC를 통해 원하는 출력 주파수로 만드는 일련의 과정을 모두 디지털 영역에서 수행한다. 다른 SRC 구조보다 구현이 간단하며 복잡도가 낮다는 것이 장점이다. Farrow 기반 SRC, 시변 CIC 필터 SRC 및 다상 FIR 필터 SRC와 제안한 구조를 비교해보자. Farrow 구조는 메모리 자원을 사용하지 않고 임의의 표본율을 생성할



(a) Spectrum with 0.275 stop-band coefficient



(b) Spectrum with 0.25 stop-band coefficient

그림 8. 두 번째 저역 통과 필터 설계에 따른 스펙트럼 결과
Fig. 8. Spectrum analysis with 2nd low pass filter design

수 있는 것이 장점이다. 임의의 고속 표본율을 생성하는 경우 곱셈기의 개수가 늘어나 복잡해지고, 외부 클럭을 사용해야 하는 것이 단점이다. 시변 CIC 필터 SRC는 곱셈이 필요없으며 외부 클럭을 사용해야 한다. 다상 FIR 필터 SRC는 구현된 사례마다 다르지만 다른 구조들보다 복잡한 구조를 가진다. 외부 클럭이 필요한 경우가 많지만 SFDR 성능은 매우 뛰어나다. 제안한 구조는 외부 클럭이 필요없으며 다른 구조들보다 구현이 간단하고 복잡도가 낮다. 그러면서 임의의 고속 표본율을 만들어 낼 수 있기 때문에 실제로 구현할 경우 더 뛰어난 성능을 나타낼 것으로 보인다.

IV. 결론

이 논문에서는 디지털 필터를 사용해서 데이터율과 표본율의 동기가 쉬운 임의의 SRC 구조를 제안하였다. 제안한 SRC 구조는 통신 시스템에서 입력 주파수가 가변하는 경우에 임의의 표본율을 쉽게 발생시킬 수

있도록 구현한 구조이다. 시뮬레이션 결과 필터를 어느 정도로 설계해야 원하는 SFDR을 만족시키는지 확인하였다. 이 구조를 사용하려면 입력 주파수와 출력 주파수, SRC율을 고려하여 필터를 설계해야 한다. 또한 다른 SRC 구조와 비교하여 구현이 쉽고 복잡도가 낮다는 것은 실제로 시스템을 구현하는 입장에서 매우 큰 장점이 될 수 있다. 우리는 이 연구에서 더 나아가 차후에는 제안한 SRC 구조를 실제 FPGA로 구현하는 연구를 수행할 예정이다.

References

[1] M. N. O. Sadiku and C. M. Akujobi, "Software-defined Radio: A brief overview," *IEEE Potentials J.*, vol. 23, no. 4, pp. 14-15, Oct. 2004.

[2] A. C. Tribble, "The software defined radio: Fact and fiction," *IEEE Radio and Wireless Symp.*, pp. 5-8, Orlando, USA, Jan. 2008.

[3] T. Hentschel, M. Henker, and G. Fettweis, "The digital front-end of software radio terminals," *IEEE Pers. Commun.*, vol. 6, no. 4, pp. 40-46, Aug. 1999.

[4] Fredric J. Harris, *Multirate Signal Processing for Communication Systems*, Pearson Education, 2004.

[5] T. Hentschel and G. Fettweis, "Sample rate conversion for software radio," *IEEE Commun. Mag.*, pp. 142-150, Aug. 2000.

[6] J. L. H. Webb, "Transposed FIR filter structure with time-varying coefficients for digital data resampling," *IEEE Trans. Signal Process.*, vol. 48, no. 9, pp. 2594-2600, Sep. 2000.

[7] B. H. Tietche, O. Romain, and B. Denby, "A practical FPGA-based architecture for arbitrary-ratio sample rate conversion," *J. Sign. Process. Syst.*, vol. 78, pp. 147-154, Sep. 2015.

[8] Tor A. Ramstad, "Digital methods for conversion between arbitrary sampling frequencies," *IEEE Trans. Acoustics, Speech, and Sign. Process.*, vol. 32, no. 3, pp. 577-591, Jun. 1984.

[9] H. Johansson and H. Gockler, "Two-staged

polyphase structures for arbitrary-integer sampling rate conversion," *IEEE Trans. Cir. and Syst. II*, vol. 62, no. 5, pp. 486-490, 2015.

[10] J. P. Long and J. A. Torres, "High throughput farrow re-samplers utilizing reduced complexity FIR filters," *IEEE Military Commun. Conf.*, pp. 1-6, Orlando, USA, Oct. 2012.

[11] Y. Lee and R. C. Kim, "A performance comparison of sampling rate conversion algorithms for audio signal," *J. Broadcast Eng.*, vol. 9, no. 4, pp. 384-390, 2004.

[12] F. Ling and J. Proakis, *Synchronization in Digital Commun. Syst.*, Cambridge University Press, pp. 322-374, 2017.

[13] C. Dick and F. Harris, "Options for arbitrary re-samplers in FPGA-based modulators," *Conf. Record 38th IEEE Asilomar Conf. Sign., Syst. and Comput.*, 1st Ed., pp. 777-781, Pacific Grove, USA, 2004.

[14] D. E. W. Barker, "Efficient re-sampling implementations," *IEEE Sign. Process. Mag.*, vol. 25, no. 4, pp. 114-117, 2008.

최종원 (Jong-Won Choi)



2014년 2월 : 충북대학교 전자공학부 졸업
 2016년 2월 : 충북대학교 전자공학전공 석사학위
 2016년 3월~현재 : 충북대학교 전자공학전공 박사과정
 2018년 4월~현재 : 단암시스템즈 주임연구원

<관심분야> 통신방식, 통신신호처리, SDR, 수신기
 [ORCID:0000-0002-3501-8230]

이택준 (TaekJoon Yi)



2004년 8월 : 충북대학교 전자계산학 석사
2005년 3월~현재 : 단암시스템즈 수석연구원
2019년 2월~현재 : 충북대학교 컴퓨터과학 박사과정

<관심분야> 컴퓨터과학, 통신공학, 텔레메트리, 인공지능

[ORCID:0000-0001-8525-623X]

안주언 (Jooeon Ahn)



2017년 8월 : 서울과학기술대학교 산업공학 졸업
2017년 9월~현재 : 단암시스템즈 주임연구원
<관심분야> 머신러닝, 텍스트마이닝, 산업공학
[ORCID:0000-0001-7088-6247]

권주혁 (Joo-Hyeok Kwon)



2016년 2월 : 충북대학교 소프트웨어공학과 졸업
2016년 3월~현재 : 단암시스템즈 주임연구원
<관심분야> 소프트웨어공학, 알고리즘
[ORCID:0000-0002-5347-4221]

김복기 (Bokki Kim)



1995년 2월 : 서울대학교 수학과 졸업
1997년 2월 : 서울대학교 수학과 석사
1997년 1월~현재 : 단암시스템즈 이사

<관심분야> 정수론, 통신신호처리, 신호처리 컴퓨팅구조

[ORCID:0000-0001-9303-9075]