DBpia

논문 19-44-12-17 The Journal of Korean Institute of Communications and Information Sciences '19-12 Vol.44 No.12
https://doi.org/10.7840/kics.2019.44.12.2292

PAM4 변조방식을 이용한 장거리 전송용 QSFP28 광 트랜시버 설계 및 구현

김 재 우◆, 김 동 성°, 김 승 환*, 신 상 문**

Design and Implementation of QSFP28 Optical Transceiver for Long-Rich Transmission Using PAM4 Modulation

Jae-woo Kim◆, Dong-Seong Kim°, Seung-Hwan Kim*, Sang-Moon Shin**

요 약

본 논문은 PAM4(4 level Pulse-Amplitude Modulation) 변조 신호를 이용하여 50Gbps급 데이터를 최장 40Km까지 전송 가능한 QSFP28(Quad Small Form Factor Pluggable 28Gbps) 폼펙터 타입 광 트랜시버 설계기법을 제안하였다. 제안하는 설계기법은 표준성능을 만족하고 비용을 줄이기 위해 EML(Electro-absorption Modulated Laser) TOSA(Transmitter Optical Sub-Assembly)와 PIN-PD(Positive-Intrinsic-Negative Photodiode) ROSA(Receiver Optical Sub-Assembly) 조합만을 이용하여 설계하였다, QSFP28 광 트랜시버 설계를 위해 하드웨어 설계기법과 구동을 위한 펌웨어 설계기법을 제안하였다. 제안하는 기법을 이용하여 표준에 만족하는 실제 QSFP28 폼펙터 광 트랜시버를 구현하였고, 기능적인 구동검증과 실제 산업현장에 적용 가능성을 검증하기 위해 실제 테스트베드를 구성하였다. 테스트 결과를 통해 제안된 기법의 효용성과 제작된 광 트랜시버의 성능을 검증하였으며 실제 산업현장에 적용할 수 있음을 확인하였다

Key Words : Optical Transceiver, Hardware design, Firmware design, QSFP28 standard, PAM4

ABSTRACT

In this paper, we proposed the QSFP28(Quad Small Form Factor Pluggable 28Gbps) form-factor type optical transceiver design technique, which can transmit 50Gbps data up to 40km using PAM4(4 level Pulse-Amplitude Modulation) modulation signal. The proposed design technique is designed using only Electro-absorption Modulated Laser(EMA), Transmitter Optical Sub-Assembly(TOSA), low-cost PIN-PD(Positive-Intrinsic-Native Photodiode) and Receiver Optical Sub-Assembly(ROSA) combination to satisfy performance and deduce cost. And we proposed hardware design and firmware design techniques for implementing the optical transceiver. The performance of the implemented QSFP28 optical transceiver has met the standard, and the test results have verified the effectiveness of the proposed technique and the performance of the manufactured optical transceiver and confirmed that it can be applied to real industrial sites.

※ 본 연구는 과학기술정보통신부 및 정보통신기획평가원의 대학 ICT연구센터육성지원사업의 연구결과로 수행되었음(IITP-2019-2014-1-00639)
※ 이 논문은 2019년도 정부(교육부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임(2019R1I1A1A01063895)
◆ First Author : ICT Convergence Research Center, Kumoh National Institute of Technology, jaewookim@kumoh.ac.kr, 정회원
° Corresponding Author : ICT Convergence Research Center, Kumoh National Institute of Technology, dskim@kumoh.ac.kr, 종신회원
* ICT Convergence Research Center, Kumoh National Institute of Technology, ksh001@kumoh.ac.kr
** Coset Co., Ltd, smshin@coset.com
논문번호 : 201909-213-D-RN, Received September 27, 2019; Revised October 16, 2019; Accepted October 16, 2019

www.dbpia.co.kr

Ⅰ. 서 론

최근 5세대 무선(5G), 인공지능(AI), 가상현실(VR), 사물인터넷(IoT), 자율주행 차량 등 새롭게 등장하는 기술로 인해 큰 대역폭과 빠른 반응시간이 요구되고 있다. 신기술의 요구를 지원하기 위해 핵심망은 100GE에서 400GE로 진화하고 있으며 이에 따라 400Gbps급 광 트랜시버 연구개발이 활발히 진행되어 왔다[1]. 데이터 소비 용량이 늘어남에 따라 대역폭을 높이기 위해 DP-QPSK (Polarization-multiplexing and quadrature phase-shift-keying), QAM(Quadrature Amplitude Modulation), 등 다양한 변조 방식을 사용하는 장거리용 광 트랜시버가 개발되었다[2]. 하지만 이러한 변조 방식은 고가의 광소자와 그에 따르는 정교한 기술이 요구된다. 일반적으로 많이 사용되는 비제로 복귀(NRZ: Non Return to Zero) 변조 방식은 기호당 1비트를 전송할 수 있다. 반면, 4레벨 펄스 진폭 변조(PAM4)는 종래의 NRZ에 비해 두 배인 기호당 2비트를 전송할 수 있는 장점이 있다[3]. 그러나 PAM4 변조 방식은 NRZ 방식보다 노이즈에 민감하여 낮은 BER(Bit Error Rate)특성을 가진다. 따라서 PAM4 변조 방식을 이용하여 광 트랜시버를 설계할 때에는 더욱 주의가 요구된다.

IEEE 802.3cd 표준문서는 50GBASE-FR(Far Reach, 2km) 및 LR(Long Reach, 10km)에 대한 50Gbps PAM4 광 송신기 및 수신기의 물리계층과 관련 파라미터 관리에 대해서 정의하고 있다[4]. 하지만 PAM4 변조 신호의 40Km에 달하는 최 장거리 전송에 대한 규격은 일부 기업 중심으로 제안되기는 하였으나 표준으로 제정되지 않은 상태이다[5].

한편, PAM4 신호의 40Km 및 60Km 장거리 전송을 위해서 APD(Avalanche Photo-Diode) 광 수신기를 사용하여 실험이 진행되었다[6-7]. 그러나 APD 광 수신기를 이용한 방법은 APD를 구동하기 위한 추가적인 회로가 필요하며 부품의 가격이 PIN-PD 광 수신기에 비하여 높은 단점이 있다. 40km이상의 장거리 전송을 위한 또 다른 기술은 SOA (Semiconductor Optical Amplifier)를 이용하는 방식이다[8]. SOA는 APD 방식보다 더 낮은 광신호를 수신감도 레벨로 증폭시킬 수 있는 반면 비싼 부품 가격, 복잡한 주변 회로, 큰 부품 면적으로 인해 큰 폼펙터인 CFP, CFP2 광 트랜시버에 적용되었다.

본 논문에서는 PAM4 변조 방식을 이용한 QSFP28 폼펙터(이하 QSFP28) 광 트랜시버를 설계 및 구현하였으며 광 트랜시버의 기능과 성능이 표준규격을 만족하기 하드웨어 및 펌웨어 설계기법을 제안하였다. 또 한 50Gbps 대용량 장거리 전송을 위해 오로지 PIN-PD만을 사용하여 기존의 방식보다 경제적인 이점과 회로 복잡도를 최소화할 수 있도록 하였다. PIN-PD 수신기의 한계를 극복하기 위해 송신부 출력의 PAM4 신호 BER을 최소화하여 40Km를 전송할 수 있음을 실증하였다.

본 논문 Ⅱ장에서는 관련 연구로 PAM4 변조 방식에 대한 원리와 QSFP28 광 트랜시버 설계를 위해 관련 표준을 분석하였고 Ⅲ장에서는 분석된 요구사항을 기반으로 QSFP28 광 트랜시버의 하드웨어 및 펌웨어 설계기법을 제안하였으며 Ⅳ장에서는 성능 검증을 위한 테스트베드 구축과 테스트 결과를 분석하였다. Ⅴ장에서는 결론 및 향후 연구에 대해 논의하였다.

Ⅱ. 관련 연구

본 장에서는 PAM4 변조기술과 QSFP28 광 트랜시버 설계를 위해 관련 표준을 분석하고 요구사항을 기술하였다.

2.1 PAM4 변조기술

데이터의 요구가 증가함에 따라 개선된 변조 방식을 시도하고 있다. 한동안 NRZ 타입의 변조 방식은 데이터 전송에서 가장 많이 사용되는 변조 방식이었다. 한편, PAM4 변조 방식은 데이터 변복조를 위한 DSP IC(Digital Signal Processing Integrated Circuit)를 만드는 업체에서부터 시도되었다[9]. 그림 1은 NRZ와 PAM4 변조신호를 비교한 것이다.

NRZ 변조 방식은 0110010과 같은 이진 패턴을 낮은 전압 0와 높은 전압 1의 고정된 전압 레벨의 연속으로 인코딩하였다. 비트 속도를 25Gbps로 가정했을 때, 두 배의 비트 속도인 50Gbps를 전송하기 위해서는 더 빠른 비트 속도와 높은 대역폭이 필요하다. 대역폭을 두 배로 늘리지 않고 비트 속도를 두 배로 올

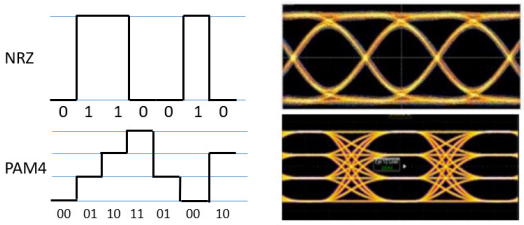


그림 1. NRZ 및 PAM4 변조신호 비교
Fig. 1. Comparing NRZ and PAM modulation signal

www.dbpia.co.kr

리기 위해서는 신호 레벨을 절반으로 분할 하여 신호에 추가해야 한다. 따라서 PAM4 신호와 같이 네 개의 신호 레벨을 가지게 되고 각 레벨당 2비트의 심벌을 배정한다. 한편 IEEE P802.3bj KP4 표준은 28Gbps PAM4 변조 신호에 대한 요구사항을 정의하고 있고, IEEE P802.3bs 와 OIF CEI-56G-PAM4 문서에서는 56Gbps PAM4 변조 신호에 대한 표준규격을 정의하고 있다[10-12].

2.2 QSFP28 광 트랜시버 하드웨어 표준

QSFP28 광 트랜시버는 QSFP-MSA(Multi-Source Agreement)규격을 준수해야 한다. SFF-8665는 QSFP28 광 트랜시버 솔루션에 대한 표준문서이다[13]. QSFP28 광 트랜시버 제작을 위해 참고해야 할 규격 문서는 하드웨어 규격으로 칭할 수 있는 광 트랜시버의 전기적인 특성에 대한 문서와 광 트랜시버 커넥터와 크기와 같은 기구규격, 광 트랜시버를 삽입하여 운용할 호스트 측의 케이지 규격, 그리고 소프트웨어 규격으로 볼 수 있는 관리 인터페이스 규격으로 구성된다. SFF-8679 규격에서는 QSFP28 광 트랜시버가 만족해야 할 하드웨어와 전기적 특성을 설명하고 있으며, QSFP28 광 트랜시버의 커넥터 규격 및 각 핀의 기능과 광 트랜시버의 데이터 신호와 제어 및 상태 신호에 대한 인터페이스를 정의하고 있다[14]. 추가로 ESD(Electrostatic Static Discharge) 규격과 광 트랜시버의 기구 관련 규격과 온도, 타이밍 관련 규격이 정의되어 있다. 그림 2는 표준문서에서 제안하는 QSFP28 광 트랜시버와 호스트 인터페이스 구조이다.

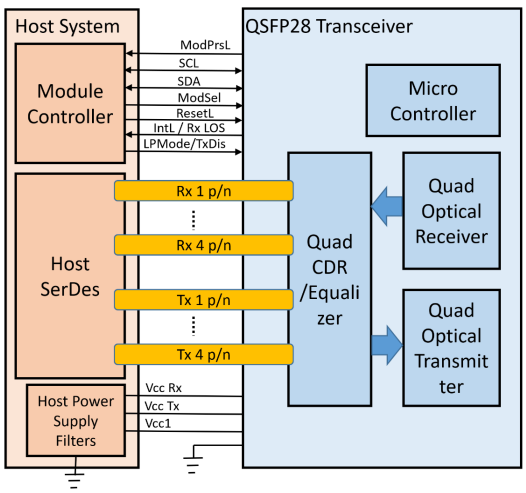


그림 2. QSFP28와 호스트 시스템 연결 블록도[14]
Fig. 2. QSFP28 Host System interface block Diagram[14]

QSFP28 광 트랜시버의 하드웨어 구성은 송수신을 위한 광 수신기와 광 송신기, 송수신 신호의 처리를 위한 CDR(Clock and Data Recovery) IC, QSFP28 광 트랜시버 운영을 위한 마이크로 컨트롤러(MCU), 호스트와 제어 신호와 데이터 신호를 주고받기 위한 호스트 커넥터로 구성된다. 데이터는 최대 4개의 송신 채널을 지원해야 하고 수신도 이와 같다.

제어 및 알람 신호에 대한 기능은 표 1에 정리하였다. QSFP28 광 트랜시버의 소비 전력은 호스트 시스템의 가용 용량에 따라 8개의 클래스로 나누어지며 각 클래스는 허용 가능한 최대 전력을 정의하고 있다. 만일 광 트랜시버의 소비 전력이 정해진 소비 용량을 초과하게 되면 QSFP28 광 트랜시버에 LPMode 신호를 인가하여 저전력 상태로 들어가게 한다. 저전력 상태의 QSFP28 광 트랜시버는 소비 전력 1.5W 이하여야 한다. 또 한 표준규격 문서에서는 QSFP28 광 트랜시버 케이스를 기준으로 최소 0도에서 최대 70도 범위에서 광 트랜시버가 정상적으로 동작하도록 온도 규격을 정의하고 있다. 마지막으로 호스트의 하드웨어 제어 신호에 따른 QSFP28 광 트랜시버의 반응속도에 대한 타이밍 규격과 알람 발생의 타이밍 규격이 정의되어 있다.

표 1. 호스트 커넥터 제어신호[14]
Table 1. Control signal with Host Connector[14]

Name	Function
ModPrsL	Optical transceiver insertion status to host
SCL/SDA	Two-wire serial interface
ModSelL	Module selcetion, When using multiple modulses
ResetL	Optical transceiver reset
intL	Optical transceiver alarm interrupt
RxLOSL	OPtical transceiver Loss of Signal
LPMode/ TxDis	Low power mode enabled / Disable the optical transmission.

2.3 QSFP28 광 트랜시버 소프트웨어 표준

QSFP28 광 트랜시버의 구동 및 관리를 위한 규격은 SFF-8636 문서에 정의되어 있다[15]. QSFP28 광 트랜시버는 호스트와 통신하기 위해 2-wire 버스 인터페이스를 사용한다. 2-wire 버스 인터페이스는 I2C (Inter-Integrated Circuit) 통신과 같다. QSFP28 광 트랜시버와 호스트 사이의 I2C 인터페이스 프로토콜에

www.dbpia.co.kr

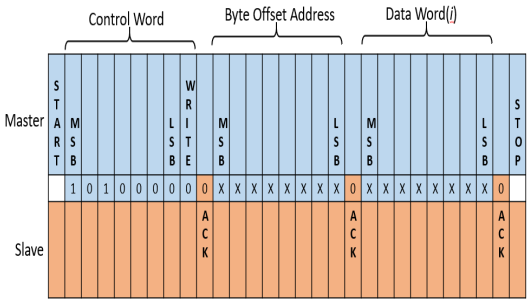


그림 3. QSFP28 호스트 인터페이스 쓰기 동작 프로토콜 [15]
Fig. 3. QSFP28 host interface write byte operation[15]

대한 세부 절차는 표준문서에 정의하고 있다. 그림 3은 표준에서 정의하고 있는 호스트와 광 트랜시버 사이의 I2C 인터페이스 중 쓰기 동작에 대한 절차이다. 호스트 시스템은 마스터가 되고 QSFP28 광 트랜시버는 슬레이브이다. I2C 인터페이스는 1바이트 단위로 I2C 프레임을 보내고 아홉 번째 클록에서 상대방의 Acknowledge를 확인 후 추가 데이터를 바이트 단위로 주고받는다.

호스트 인터페이스를 통해 QSFP28 광 트랜시버의 동작 제어와 상태정보를 수행하기 위해 QSFP28 광 트랜시버는 내부적으로 레지스터맵을 구성하고 있다.

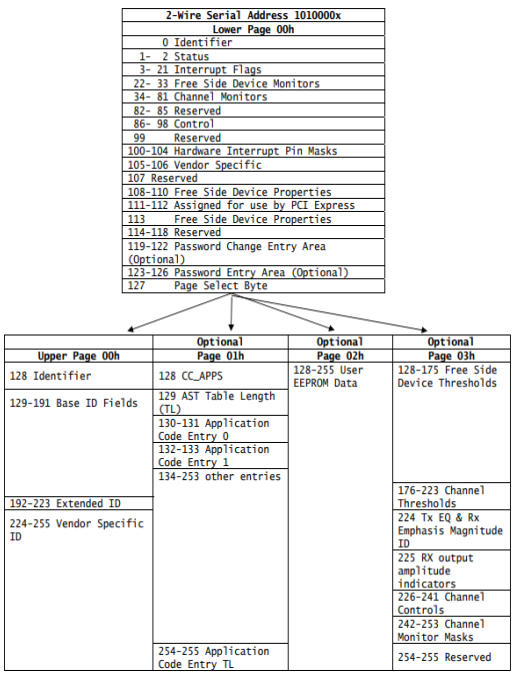


그림 4. QSFP28 내부 레지스터 구조[15]
Fig. 4. QSFP28 inter register architecture[15]

그림 4는 표준에서 정의하고 있는 레지스터맵 구조이다.

I2C 인터페이스로 QSFP28 레지스터에 접근하기 위한 물리적 주소는 십육진수 0xA0이다. QSFP28 레지스터는 페이지 단위로 구성되어 있고 각 페이지는 128바이트로 구성되어 있다. 레지스터는 하나의 하부페이지와 다수의 상위페이지로 구성되어 있고 상위페이지는 필수페이지와 옵션 페이지로 구성되어 있다. 레지스터에 접근하기 위한 주소는 0x00에서 0xFF까지로 구성되어 있고 0x00부터 0x7F까지는 하부페이지 접근주소이고 0x80에서 0xFF까지는 상위페이지 주소이다. 빠른 접근성이 필요한 인터럽트 플래그나 상태 모니터링과 같은 정보는 하부페이지에 구성하여 적시에 접근할 수 있게 한다. 상위페이지 0x01은 애플리케이션 옵션 테이블을 구현할 수 있으며, 0x02 상위페이지는 사용자가 임의로 읽고 쓸 수 있도록 하여 마치 EEPROM(Electrically Erasable Programmable Read-Only Memory)과 같은 역할을 한다. 상위페이지에 접근하기 위해서는 하부페이지 주소 0x7F에 접근할 상위페이지 인덱스값을 쓴 후 상위페이지 주소로 값을 읽거나 쓸 수 있다. 상위페이지 0x20과 0x21은 PAM4 변조 신호를 사용하는 QSFP28 광 트랜시버에 대한 추가 모니터링 파라미터에 대한 지원을 포함한다.

Ⅲ. 제안하는 설계기법

3.1 하드웨어 설계

그림 5는 표준문서를 참고하여 제안하는 전체 하드웨어 구조 블록도이다. 제안하는 설계기법의 QSFP28 광 트랜시버 내부 하드웨어는 PAM4 변조 및 복조를 위한 PAM4 DSP IC와 송신을 위한 EML-TOSA, 수신을 위한 PIN-PD ROSA로 구성되어 있다. 또 한 TOSA를 구동하기 위한 드라이버 IC, 광 송신기의 파장 제어를 위한 TEC(Thermoelectric Cooler) 컨트롤러, 모듈의 전체적인 구동을 위한 MCU로 구성되어

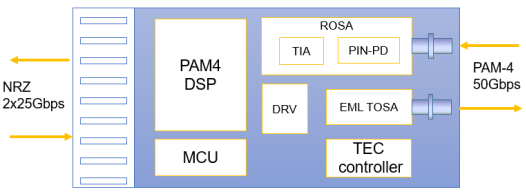


그림 5. QSFP28 광 트랜시버 블록 다이어그램
Fig. 5. QSF28 Optical Transceiver Block Diagram

www.dbpia.co.kr

있다.

PAM4 DSP IC는 두 개의 25Gbps NRZ 신호를 50Gbps PAM4 신호로 변조하고 반대로 PAM4 신호를 NRZ 신호로 변환하는 기능을 한다. EML TOSA는 25/28G 단일 채널 TOSA로 EA(Electro-Absorption) 모듈레이터와 DFB-LD (Distributed Feedback Laser Diode), 모니터 포토다이오드, 내장형 광 아이솔레이터, 그리고 TEC를 골드박스 형태의 패키지에 집적한 제품을 적용하였다. TEC 컨트롤러는 TOSA 내부의 TEC를 제어하기 위해 사용된다. TOSA 내부의 레이저 다이오드는 온도에 따라 파장이 변하는 특성이 있으므로 내부의 TEC를 이용하여 외부 온도에 영향을 받지 않고 레이저 다이오드가 일정한 온도를 유지하도록 제어한다. PAM4 변조 광신호를 수신하기 위한 선형 PIN-PD ROSA는 25GHz의 대역폭의 포토다이오드와 최대 2.5mA 입력을 수신할 수 있고 31GHz에서 37GHz까지 조절 가능한 TIA(Trans-Impedance Amplifier)로 구성된다. MCU는 내장된 ADC(Analog to Digital Converter) 및 DAC(Digital to Analog Converter)를 제어하여 레이저 다이오드, 선형 드라이버 및 선형 TIA를 제어하고, PAM4 DSP IC를 구동하는 기능과 QSFP28 광 트랜시버의 운영기능을 담당한다.

광 트랜시버를 QSFP28 폼팩터 형태로 제작하기 위해서는 제한된 PCB(Printed Circuit Board) 면적에 다수의 IC를 집적할 수 있어야 한다. 따라서 QSFP28 설계를 위한 각각의 IC는 작은 크기와 고효율 특성을 고려한 선정으로 PCB 설계를 최적화하였다. 특히 전원공급을 위한 DC-DC 컨버터의 경우 효율이 90% 이상을 만족하고 인덕터를 IC 내부에 집적한 스위칭 컨버터를 적용하여 IC의 면적을 최소화하고 효율성을 높일 수 있도록 하였다. 이는 전원부의 발열을 줄이는 효과를 얻고 소비 전력을 낮을 수 있다.

3.1.1 PCB 설계

본 논문에서 제안하는 설계 회로는 제한된 면적에 회로를 최적화하기 위해 10층으로 구성된 PCB 상에 구현하였다. PCB 기판은 산업용으로 주로 사용되는 FR4 기판과 FR4 기판에 비해 상대적으로 더 낮은 유전상수와 더 낮은 유전손실을 가진 파나소닉사의 Megtron-6를 사용하였다. 25Gbps NRZ 고속신호와 PAM4 신호 전송선은 Megtron-6 기판을 사용하여 최상위면에 배치하였고 나머지층은 FR4 기판으로 설계하였다.

PCB 상에서 채널당 26GBd(Giga-baud) 즉

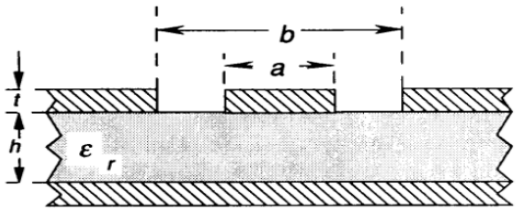


그림 6. Coplanar Waveguide with Ground 전송선로 구성도[16]
Fig. 6. Configuration Diagram of Coplanar waveguide with Ground[16]

53Gbps의 PAM4 신호를 전송하기 위해서는 기존 NRZ 방식에 비하여 잡음과 감쇄량을 더욱 고려한 정교한 전송선로 설계가 필요하다. 차동 100옴으로 설계된 PCB 상의 전송선로를 통과하는 신호는 특성 임피던스 부정합 지점에서 신호의 반사, 방사 등의 효과가 발생하여 신호의 특성을 떨어뜨리게 된다. 이는 아이패턴(Eye-Pattern) 상에서 오버슈트(Over-Shoot)와 언더슈트(Under-Shoot)를 발생시키고 지터(Jitter) 특성이 저하된다. 임피던스 부정합이 주로 발생하는 부분은 IC의 패드, Flexible PCB 조립 부분 등이 있다. 제안하는 기법은 PCB 상에 Coplanar Waveguide 형식의 전송선로를 적용하였다. 이때 전송선로의 선폭이 두꺼워지는 부분의 특성이 임피던스는 커패시턴스가 증가하게 되고 선로 아래에 위치하는 유전체 기판의 두께를 얇게 제작하면 커패시턴스가 낮아지게 된다[16]. 그림 6은 제안하는 설계기법에서 사용한 전송선로인 Coplanar Waveguide with Ground의 구성도이다. 제안하는 기법은 선폭, 유전체의 두께, 선로와 그라운드(GND) 와의 간격에 따른 임피던스 특성을 정교하게 계산하여 임피던스 부정합을 최소화하였고, 신호가 지나가는 경로상에 있는 IC 패드에서 발생하는 특성 임피던스 저하되는 문제를 해결하기 위해 인덕턴스를 높여 전체적인 임피던스 정합이 개선되도록 하였다.

3.2 펌웨어 설계

본 논문에서 제안하는 QSFP28 광 트랜시버 펌웨어 설계기법은 표준문서의 요구를 만족하도록 하였다. QSFP28 광 트랜시버의 MCU로는 MAXIM 사의 DS4830을 사용하였다[17]. DS4830은 SFF-8472 표준을 만족하는 광 트랜시버의 정보 모니터링을 위해 최적화된 제어를 할 수 있도록 지원한다. 12비트 분해능을 가진 ADC와 DAC를 제공하고 있으며 400kHz클럭 속도까지 안정되게 동작할 수 있는 I2C 슬레이브 인터페이스를 제공한다. 그림 7은 QSFP28 펌웨어 설

www.dbpia.co.kr

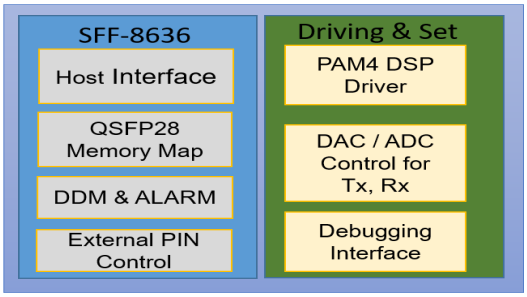


그림 7. QSFP28 PAM4 광 트랜시버 펌웨어 설계 블록도
Fig. 7. QSFP28 PAM4 Optical Transceiver firmware design block Diagram

계 블록도이다.

QSFP28 광 트랜시버는 표준에 제어 및 모니터링을 위한 내부 레지스터를 정의하고 있으며 호스트 접근 인터페이스로 I2C를 사용한다. 또 한 광 트랜시버의 상태를 나타내는 DDM(Digital Diagnostic Monitoring) 및 알람 기능을 구현하여야 하며, 2장에서 설명한 커넥터로 연결된 외부 핀에 대한 기능을 구현하여야 한다. 그리고 PAM4 변조 처리를 위한 PAM4 DSP IC 구동 드라이버 기능, 송수신 관련 IC를 구동하기 위해 MCU 내부의 DAC 구동, DDM 정보를 업데이트하기 위한 ADC 제어 기능, 광 트랜시버의 구현 및 디버깅과 설정을 돕는 디버깅 인터페이스를 추가 설계하였다. 이때 디버깅 인터페이스는 직접 구현하지 않고 QSFP28 레지스터의 제조사 영역을 디버깅 용도로 정의하여 사용하는 간접적인 방식으로 설계하였다.

그림 8은 QSFP28 PAM4 광 트랜시버의 펌웨어 순

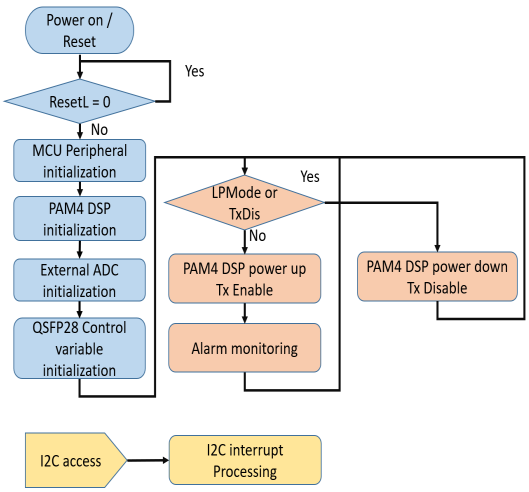


그림 8. QSFP28 펌웨어 순서도
Fig. 8. QSF28 Firmware sequence diagram

서도이다. 광 트랜시버에 전원이 인가되거나 Reset 신호가 해제되면 동작을 시작한다. 먼저 MCU는 주변장치를 초기화한다. 제안하는 기법에서 사용할 주변장치로는 온도와 구동 전압 및 알람 모니터링을 위한 ADC, 송신 광소자를 구동할 DAC, 호스트 인터페이스로 사용할 I2C 슬레이브 기능, 외부 ADC IC 및 PAM4 DSP IC와 통신하기 위한 I2C 마스터 기능을 초기화하고, 추가로 펌웨어 안정성을 위한 왓치독 타이머를 초기화하며, 용도에 따라 GPIO 핀을 설정한다. 다음으로 PAM4 DSP IC를 초기화 과정이 진행된다. PAM4 DSP IC를 구동하기 위해서 DSP IC 구동용 펌웨어를 다운로드하고 초기화 과정을 진행해야 한다.

DSP IC 제조사가 제공하는 펌웨어 이미지 파일을 저장하기 위해 외부 플래시 메모리 IC를 추가하였다. 외부 메모리 IC와 PAM4 DSP IC 사이의 인터페이스는 Serial Peripheral Interface(SPI)를 사용하고, 전원인가 후 PAM4 DSP IC의 펌웨어 다운로드 제어핀을 설정하면 PAM4 DSP IC는 자동으로 연결된 메모리 IC로부터 펌웨어 이미지를 PAM4 DSP IC를 내려받는다. MCU는 DSP IC의 펌웨어 다운로드 완료 레지스터를 확인하여 다운로드 완료를 확인한 후 DSP IC 초기화를 진행한다.

본 논문에서 제안하는 기법은 채널의 확장성과 정밀한 측정을 위해 외부 ADC IC을 추가하였다. 따라서 외부 ADC IC를 사용하기 위한 초기설정 과정이 진행된다. 그리고 QSFP28 광 트랜시버 운영에 필요한 전역 변수들을 초기화한 후 무한 폴링루프로 들어간다. LPMode/TxDIS 핀의 상태를 확인하여 활성화 상태이면 PAM4 DSP IC를 비 구동 상태로 전환하고 송신 광소자의 전원을 차단한다. 만일 비활성 상태라면 PAM4 DSP IC를 PAM4 변복조를 위해 구동시키는 명령을 내리고 송신 광소자 구동을 위한 전원 활성화 및 최적화 설정을 진행한다. PAM4 DSP IC의 구동 및 최적화를 위해 제조사 데이터시트를 참고하였고 제조사에서 제공하는 API를 MCU에 포팅하여 구동 드라이버를 구현하였다. 마지막으로 알람 모니터링 관련 함수를 실행하여 광 트랜시버의 상태가 상시로 모니터링될 수 있도록 하였다. 만일 외부 호스트 인터페이스로부터 모니터링 및 제어 요청이 들어온다면 I2C 요청 인터럽트를 발생시키고 요청에 따른 처리를 수행한다.

www.dbpia.co.kr

3.2.1 QSFP28 레지스터 구성 및 제어 기능

본 논문 2.3절에서 기술하였듯이 QSFP28 광 트랜시버는 호스트 시스템으로부터 제어 및 모니터링 요청을 받기 위해 내부 레지스터를 정의하고, 표준문서의 요구에 따라 상위페이지 0x02영역과 같이 비휘발성 메모리를 구성해야 한다. 제안하는 설계기법은 MCU의 플래시 메모리 일부를 비휘발성 데이터를 저장하기 위해 할당하였다. QSFP28 광 트랜시버가 운영되는 과정에서 호스트 인터페이스로 상위페이지 0x02에 접근하기 위해 하위페이지의 페이지선택 주소(0x7F)의 값을 변경하면 MCU는 플래시 메모리 영역의 값을 RAM으로 업로드하도록 구현하였다. 그리고 QSFP28 광 트랜시버의 광 컴포넌트 성능 최적화를 위한 세팅 값, DDM 정확성을 위한 보정값, PAM4 신호 최적화를 위한 값 등의 비휘발성 값들을 저장하기 위해 Vendor Specific 영역인 상위페이지 0x04를 사용하였다.

QSFP28은 호스트의 접근에 대한 레지스터 운영 알고리즘이 필요하다. 표준문서에서는 레지스터의 기능만을 정의하고 있으며 실제 운영하기 위해서 제조사가 직접 구현해야 한다. 그림 9는 제안하는 QSFP28 레지스터 제어 알고리즘이다. 호스트로부터 I2C 접근이 일어나면 I2C 인터럽트가 발생한다. I2C 인터럽트 서비스함수를 실행하여 I2C로 접근하는 시작주소(StartAddress)와 접근 레지스터 개수(WriteCount)와 쓰여질 값(WriteValue)들을 저장한다. 예를 들어 호스트에서 쓰기 동작이 일어나면 I2C 통신의 STOP 신호를 확인한 후 그림 8의 I2C Slave Stop 함수를 실행한다. 읽기 동작일 경우 현재 I2C 버퍼에 저장되어있는 하위 및 상위페이지의 레지스터 값들을 호스트 인터페이스로 출력한다. I2C 버퍼는 하위버퍼(LowerBuffer)와 상위버퍼(UpperBuffer)로 구성되고 총 256바이트이다. I2C Slave Stop 함수가 호출되면 맨 처음 페이지선택 주소로의 접근 여부를 확인하여, 페이지선택 접근이면 해당 페이지의 값들이 저장된 플래시 메모리 영역의 값들을 상위페이지 버퍼로 복사한다. 페이지선택이 아니면 해당 주소의 값을 가지는 버퍼의 값을 새로운 값으로 업데이트하고 해당 주소의 기능에 따른 처리를 진행한다. 마지막으로 해당 주소의 값이 EEPROM에 저장되어야 하면 플래시 메모리로 저장하는 함수를 실행한다. 이때 모든 저장 단위는 페이지 단위인 128바이트이다.

Algorithm 1 QSFP28 Register Control

```
1:  WirteCount                    ▷ Number of I2C Write Count
2:  StartAddress                  ▷ Start Address of I2C Write Count
3:  WriteVaule[128]               ▷ Array of I2C Write Values
4:  LowerBuffer[128]   ▷ Array of I2C Lower page access buffer
5:  UpperBuffer[128]   ▷ Array of I2C Upper page access buffer
6:  Function I2C Slave Stop (void)
7:   SaveFlag ← flase
8:   IF StartAddress = PageSelect and WriteCount = 1 THEN
9:      LowerBuffer[PageSelect] ← WriteValue[0]
10:     CopyFromFLASH(UpperBuffer, WriteValue[0], 128)
11: ELSE
12:     FOR i = 0 To WriteCount DO
13:         IF LowerPageAccess THEN
14:             LowerBuffer[StartAddress + i] ← WriteValue[i]
15:         ELSE IF UpperPageAccess THEN
16:          UpperBuffer[StartAddress + i -128] ← WriteValue[i]
17:         END IF
18:         Processing(CurrentPage, StartAddress + i)
19:          IF IsWriteEnableAddress THEN
20:              SaveFlag ← true
21:          END IF
22:     END FOR
23: END IF
24: IF SaveFlag = true THEN
25:     CopyToFLASH(UpperBuffer, CurrentPage, 128)
26: END IF
27: END FUNCTION
```

그림. 9. QSFP28 레지스터 접근처리 알고리즘
Fig. 9. QSF28 Register access processing algorithm

3.2.2 DDM 기능

DDM 기능은 ADC IC로부터 광 트랜시버의 상태를 모니터링하여 해당 레지스터에 업데이트하는 기능이다. 제안하는 설계기법은 MCU에 내장된 ADC와 외부 ADC IC를 이용하여 모니터링한다. 모니터링 값 종류에는 각 채널당 송수신 광세기, 송신 바이어스 전류, 송신 컴포넌트 온도, 트랜시버 온도와 전압 등으로 구성된다. 또 한 모니터링된 값들을 해당 메모리에 업데이트할 때 표준문서에 정의된 단위의 값으로 변환하여 업데이트한다. 본 논문에서는 표준문서 SFF-8472의 SFP 광 트랜시버에 대한 DDM관련 규격을 만족하도록 구현하였으며, DDM정확도를 높이기 위해 고차 다항식을 이용하여 DDM값을 계산하도록 설계하였다[18]. 수신 광 세기를 나타내는 DDM 수식은 수식(1)과 같다.

$$RXPWR = \sum_{n=1}^{m} C_n A^n + Offset \qquad (1)$$

$RXPWR$는 수신 채널에 대한 수신 광세기 DDM값이고 C_n 은 n차수의 계수 값이며 m차까지

www.dbpia.co.kr

계산을 수행한다. m의 최대값은 4이다. A는 ADC로부터 모니터링된 값이며 $Offset$ 은 채널의 오프셋을 나타낸다. 모든 계수값과 오프셋은 레지스터에 할당하여 설정할 수 있도록 하였고, 이때 각 차수의 계수 값과 오프셋은 부동 소수점 형식(IEEE 754)의 값으로 설정하고 계산될 수 있도록 구현하였다. 추가로 환경 온도에 따른 DDM 오차를 줄이기 위해 LUT(Look Up Table)방식으로 DDM값을 보정한다. 이때 보정 값 또한 상위페이지 임의의 공간을 할당하여 설계하였다.

Ⅳ. 성능평가 및 분석

4.1 50G QSFP28 PAM4 광트랜시버 제작

테스트를 위해 2장과 3장의 설계기법에 따라 50G QSFP28 PAM4 광 트랜시버를 제작하였다. 그림 10은 제작된 QSFP28 광 트랜시버의 PCB 보드와 부품이 실장 된 사진이다. NRZ 전기 인터페이스는 두 개의 25Gbps 고속 CML로 LAUI-2에 대한 CEI-28G-VSR 표준에 적합하도록 구현되었으며, PAM4 광 인터페이스는 표준 IEEE802.3cd를 준수하도록 설계되었고, 두 개의 Lucent Connector(LC) 타입으로 단일모드 광섬유 상에서 50GBASE-ER 속도로 40Km까지 전송하도록 구현하였다. EML- TOSA와 선형 PIN-PD ROSA, 그리고 PAM4 DSP IC 및 그 외 구동에 필요한 부품을 각 공급업체에서 아웃소싱하여 실장하였다.

그림 11은 제작된 PCB보드를 케이스에 조립한 최종 QSFP28 광 트랜시버이다. 케이스에 치수는 표준문서SFF-8661를 만족하도록 가로 72.4mm 세로 18.35mm 높이 8.5mm로 제작되었다.

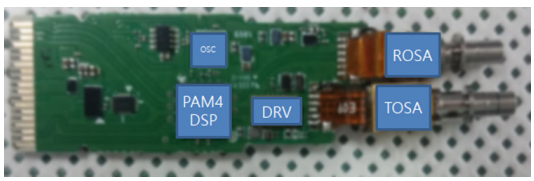


그림 10. QSFP28 광 트랜시버 테스트베드
Fig. 10. QSFP28 Testbed

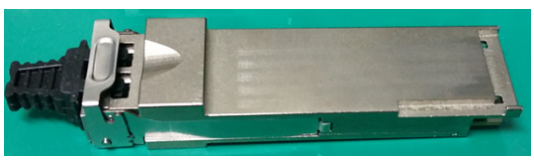
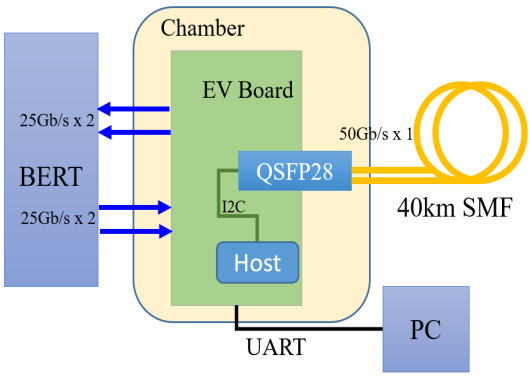


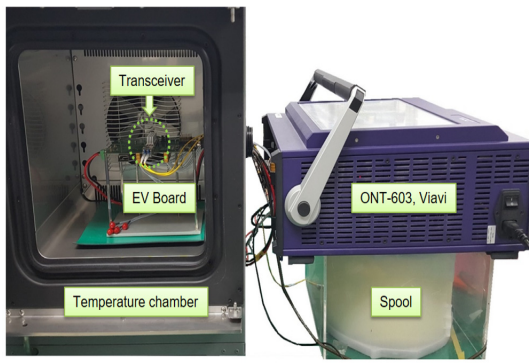
그림 11. QSFP28 광 트랜시버 케이스 조립
Fig. 11. QSFP28 Optical Transceiver Case Housing

4.2 테스트 베드 구성

제안하는 설계기법의 성능 검증을 위해 테스트베드를 구성하였다. 그림 12는 테스트베드 구성도 및 실제 구성 사진이다. BERT(BER Tester)로는 ONT-606을 사용하였다. ONT-606은 광 네트워크 테스트 장비이며 광 트랜시버를 실장하여 실제 데이터를 전송할 수 있고, 물리계층부터 MAC 계층까지 시험할 수 있으며 확장케이블을 사용하면 데이터 신호만을 외부 평가보드에 연결하여 실험할 수 있다. BERT의 25Gbps 두 개의 전기채널은 케이블을 통해 QSFP28 평가보드의 송신과 수신 커넥터에 연결된다. QSFP28 평가보드는 QSFP28 타입의 광 트랜시버를 실장 할 수 있는 케이지 부분과 25G 신호 4채널을 전송할 수 있는 고속 데이터라인, QSFP28 하드웨어 핀 제어를 할 수 있도록



(a) 테스트베드 구성도
(a) TestBad Configuration Diagram



(b) 테스트베드 구성 사진
(b) TestBed Configuration Image

그림 12. QSFP28 광 트랜시버 테스트베드
Fig. 12. SFP28 Optical Transceiver Testbed

www.dbpia.co.kr

스위치가 포함되어 있다. 그리고 호스트 시스템 역할을 하기 위해 PC로부터 UART 신호를 받아 I2C 신호로 변환하여 광 트랜시버를 테스트할 수 있도록 지원한다. 따라서 테스트를 위해서 UART 통신을 통한 사용자 인터페이스가 필요하다. 테스트를 위해 본 논문에서는 범용 터미널 프로그램을 사용하였다.

장거리 전송 테스트를 위해 QSFP28 광 트랜시버는 평가보드에 실장되고 40km 광케이블을 이용하여 자가 루프백하여 송수신을 테스트한다. 또 한 PAM4 광 송신 신호를 측정하고 최적화하기 QSFP28 광 트랜시버의 PAM4 광 송신 신호를 광-전 변환기가 내장된 광대역 오실로스코프를 사용하여 측정하였고, 펌웨어 설계에 따라 QSFP28 광 트랜시버의 세부 구성요소들을 안정적으로 구동하는지, QSFP28 광 트랜시버가 표준에 부합하도록 동작하는지 시험하였다. 추가로 온도챔버를 이용하여 표준에서 요구하는 산업용 온도 환경 범위에서 시험을 진행하여 성능평가의 신뢰성을 확보하였다.

4.3 결과 분석

호스트 인터페이스 구현 검증을 위해 평가보드를 통하여 QSFP28 내부 메모리 접근시험을 하였다. 그림 13은 범용 터미널 프로그램인 Tera Term을 이용하여 QSFP28 광 트랜시버의 내부 레지스터를 읽은 값이다.

메모리 접근결과를 통해 제안된 펌웨어 설계기법과 레지스터 접근 알고리즘을 이용하여 구현된 호스트 인터페이스가 표준에 따라 정상 작동함을 확인하였다. 그림 14는 50G QSFP28 PAM4 광 송신신호를 오실로스코프로 측정한 것이다. 보유 측정 장비의 제약으로 PAM4 신호의 세부 파라미터를 확인할 수 없지만 4개의 레벨이 명확하게 측정되는 것을 확인하였다. 이는 제안하는 설계기법이 PAM4 DSP IC와 광 송신기를 정상적으로 동작시키는 것을 의미한다. 그리고 자가 루프백시험을 통해 송수신이 이루어짐을 확인하였고 BER을 측정할 수 있었다.

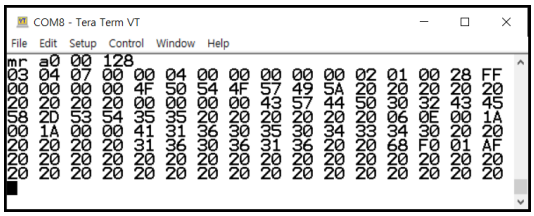


그림 13. QSFP28 광 트랜시버 PAM4 신호
Fig. 13. QSFP28 Optical PAM4 Eye pattern

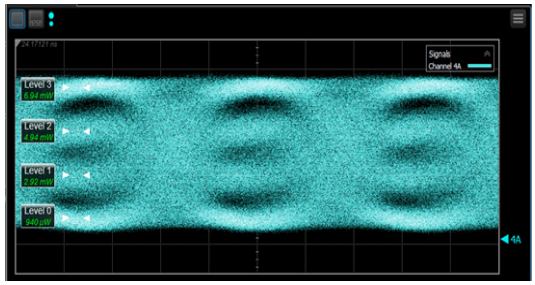


그림 14. QSFP28 광 트랜시버 PAM4 신호
Fig. 14. QSFP28 Optical PAM4 Eye pattern

그림 15는 제작된 광 트랜시버의 온도에 따른 수신 BER 그래프이다. 측정 온도는 0도, 25도, 70도에서 측정하였다. 측정 결과 모든 온도 환경에서 수신 광세기가 -13.99 dBm 일 때 수신감도는 8.6E-5로 표준 요구사항을 만족하였다.

제안하는 설계기법으로 제작된 QSFP28 PAM4 광

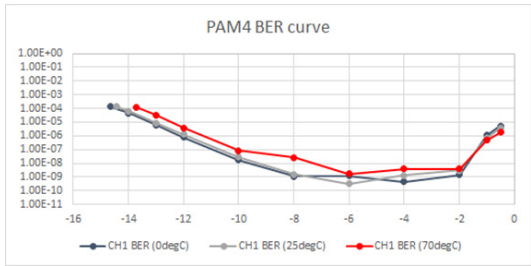


그림 15. 3온도 QSFP28 광 트랜시버 수신감도
Fig. 15. QSFP28 Optical Received Sensitivity in Three Temperature environment

표 2. 광 트랜시버 측정 결과
Table 2. Tranceiver features summary

List	Unit	Case Temperature			50GBASE-ER Ref.[3]
		0℃	25℃	70℃	
Wavelength	nm	1308.42	1308.40	1308.38	1304.5 ~1317.5
ER outer	dB	9.0552	8.7641	8.0731	-
Tx power (OMA)	dBm	7.27	7.48	7.47	4.5
Rx power (OMA)	dBm	-12.73	-12.58	-12.08	-13.5
Power Budget	dB	20.01	20.07	19.55	20
Transmission distance	km	57.17	57.345	55.87	≥40
Power Consumption	W	2.8	2.6	3.0	4.5

www.dbpia.co.kr

트랜시버에 대한 송수신 파라미터 측정값을 표 2에 정리하였다. 측정은 저온, 상온, 고온 환경에서 각각 측정하였으며 표준에서 요구하는 수치와 비교하였다. 측정 결과 표준 수치를 모두 만족한다. 송신 광 세기와 소광비의 경우 표준 수치보다 더 좋은 성능을 나타내었다. 이는 장거리 전송을 위한 PIN-PD 수신기의 한계를 극복하기 위해 송신부 출력의 PAM4 신호 최적화의 원인으로 분석된다. 추가로 소비 전력 또한 규격 수치보다 좋은 성능을 나타내었다.

표 3에 제안하는 설계 기술과 테스트의 장점을 요약하였다.

표 3. 제안하는 설계기법의 장점
Table 3. Advantages of the proposed technique

항목	설명
확장성	- 요구 성능에 따라 PAM4 DSP IC을 변경하여 속도를 높임
안전성	- 제작된 광 트랜시버를 신뢰성 시험하여 안전성 확보
경제성	- PIN-PD만을 이용한 설계공간의 최소화 및 비용 절감 - 소비전력 최적화
기능성	- PAM4 신호를 이용한 장거리 전송 - 고성능 ADC, DAC가 포함된 MCU사용

V. 결론 및 향후 연구

본 논문에서는 대용량 데이터 전송이 요구되는 차세대 통신 인프라 구축을 위한 광 트랜시버 설계 기술을 제안하였다. 제안된 기법으로 설계하는 광 트랜시버는 PAM4 변조 방식을 사용하여 기호당 두 배의 전송효율을 얻을 수 있으며 소형이며 저전력을 사용하는 QSFP28 폼팩터 타입으로 설계하였다. PAM4 변조를 사용하는 광 트랜시버는 장거리 전송을 위해 고가의 광수신 부품이 필요하지만 제안하는 기법은 저가의 PIN-PD를 이용하여 경제성을 높였으며 송신 광 컴포넌트 최적화하여 장거리 전송 요구를 만족하도록 하였다. 그리고 표준을 만족하기 위해 QSFP28 광 트랜시버의 하드웨어 설계기법과 펌웨어 설계기법을 제안하였고 해당 기법을 이용하여 실제 광 트랜시버를 제작하여 BER을 측정하였다. 실험 결과는 40Km전송이 가능함을 나타내었다. 추가로 고온 저온 상온 환경에서 테스트하여 산업용 표준 요구사항에 만족하는 결과를 얻을 수 있었다. 이는 해당 기법이 산업용 광 트랜시버 제작에 효용성이 있다는 것을 증명한다.

향후 연구로는 제안하는 기법을 기반으로 데이터 전송률 200G/400G까지 확장할 수 있도록 하며, PAM4신호를 사용한 장거리 전송기법을 QSFP28 뿐만 아니라 다른 타입의 폼팩터에도 활용할 수 있도록 연구할 것이다.

References

[1] IEEE 802.3 400Gbps Ethernet Study Group, “400G Optical Transceivers,” *LUXTERA*, pp. 1-26, 2013.

[2] W. Forysiak and D. Scott Govan, “Progress toward 100-G digital coherent pluggables using InP-Based photonics,” *J. Lightwave Technol.*, vol, 32. pp. 2925-2934, 2014.

[3] Intel, Application Note 835 : *PAM4 Signaling Fundamentals*, Mar. 2019.

[4] Standard for Ethernet Amendment: *Media Access Control Parameters, Physical Layers and Management Parameters for 200Gb/s and 400Gb/s Operation*, IEEE Std 802.3cd, 2018.

[5] *50G PAM4 technical white paper*, The Huawei website [Online]. Available: https://carrier.huawei.com/en/technical-topics/fixed-network/huawei-released-50g-pam4-technical-white-paper

[6] M. Nada, S. Kanazawa, H. Yamazaki, W. Kobayashi, T. Ohyama, T. Ohno, K. Takahata, and T. Hashimoto, “High-linearity avalanche photodiode for 40-km transmission with 28-Gbaud PAM4,” *OFC*, Mar. 2015.

[7] K. Zhong, X. Zhou, Y. Wang, J. Huo, H. Zhang, L. Zeng, C. Yu, AP. Tao Lau, and C. Lu, “Amplifier-Less transmission of 56Gbit/s PAM4 over 60km using 25Gbps EML and APD,” *OFC*, Mar, 2017.

[8] R. Teranishi, et al., “SOA module for 100GBASE-ER4,” *SEI Techn. Rev.*, no. 78, pp. 55-57, Apr. 2014.

[9] H. Zhang, B. Jiao, Y. Liao, and G. Zhang, “PAM4 signaling for 56G serial link applications –A tutorial,” *DesignCon*, Jan. 2016.

[10] M. Brown, et al., “The state of IEEE 802.3bj 100Gb/s Backplane Ethernet,” *DesignCon* 2014.

www.dbpia.co.kr

[11] IEEE Draft Standard for Ethernet Amendment 10: "*Media Access Control Parameters, Physical Layers and Management Parameters for 200Gb/s and 400Gb/s Operation*," Jan. 2017.
[12] M. Li, et al., "*CEI-56G-LR-PAM4 Long Reach Interface*," OIF, 2014.380.01.
[13] SFF-8665, "*Specification for QSFP+ 28 Gbps 4X Pluggable Transceiver Solution* (QSFP28)," Rev. 1.9, Jun. 29, 2015.
[14] SFF-8679, "*Specification for QSFP+ 4X Hardware and Electrical Specification*," Rev. 1.8, Oct. 4, 2018.
[15] SFF-8636, "*Specification for Management Interface for Cabled Enviroments*," Rev. 2.9, Apr. 21, 2017.
[16] Brian C. Wadell, *Transmission Line Design Handbook,* Artech House, Norwood, MA, 1991, ISBN:0-89006-436-9
[17] Maxim Integrated Projects, "*Optical Microcontroller*," DS4830, 19-5934: Rev. 1, Oct. 29, 2011. page:http//datasheets.maxim-ic.com/en/ds/DS4830.pdf
[18] J. W. Kim, D. S. Kim, S. H. Kim, and S. M. Shin, "Design and implementation of 100Gb/s optical transceiver firmware for optical communication system," *J. KICS,* vol. 44, no. 02, pp. 334-343, Jan. 2019.

김 재 우 (Jae-Woo Kim)

2004년 2월 : 금오공과대학교 컴퓨터공학과 졸업
2006년 2월 : 금오공과대학교 컴퓨터공학과 석사 졸업
2013년 8월 : 금오공과대학교 컴퓨터공학과 박사 졸업

2014년~2018년 : ㈜에이알텍 광통신 연구소 차장
2018년~현재 : ICT융합특성화연구센터 연구교수
<관심분야> 광트랜시버, 이동통신, 임베디드 시스템
[ORCID:0000-0002-2622-4219]

김 동 성 (Dong-Seong Kim)

1992년 : 한양대학교 전자공학과 학사졸업
2003년 : 서울대학교 전기 및 컴퓨터공학부 박사 졸업
2004년 : Cornell 대학교 ECE 박사 후 연구원

2014년~현재 : ICT융합특성화연구센터 센터장(과기정통부 ITRC 및 연구재단 중점연구소)
2014년~현재 : IEEE/ACM Senior 회원
2015년~2018년 : 금오공대 융합기술원 원장
<관심분야> 실시간 통신망 및 IoT 시스템, 네트워크 기반 분산제어시스템, 실시간 S/W
[ORCID:0000-0002-2977-5964]

김 승 환 (Seung-Hwan Kim)

2010년 2월 : 금오공과대학교 전자공학과 졸업
2012년 2월 : 금오공과대학교 전자공학과 석사 졸업
2018년 8월 : 금오공과대학교 전자공학과 박사 졸업

2018년~현재 : ICT융합특성화연구센터 전임연구원
<관심분야> 네트워크 기반 임베디드 시스템, 협력통신 기법, 실시간 전송 기법
[ORCID:0000-0002-4118-8703]

신 상 문 (Sang-Moon Shin)

2000년 2월 : 울산대학교 전자공학과 학사 졸업
2002년 2월 : 울산대학교 전자정보시스템 공학부 석사졸업
2014년 2월 : 울산대학교 전기공학부 박사 졸업

2014년~2019년 : ㈜에이알텍 광통신 연구소 이사
2019년~현재 : ㈜코셋 개발부 부장
<관심분야> 광통신, 광트랜시버, 마이크로파 통신, IAQ, IOT 등
[ORCID:0000-0002-4150-0998]

www.dbpia.co.kr