

저지연 전송을 위한 Cut-Through 포워딩 근사화 및 구현

이 승 현*, 김 영 준*, 김 유 진*, 양 현 종*, 주 창 희^o

Approximating Cut-Through Forwarding for Low-Delay Switching and Its Implementation

Seunghyun Lee*, Yeongjun Kim*, Youjin Kim*, Hyeonjong Yang*, Changhee Joo^o

요 약

사용자와의 직접적인 실시간 상호작용을 지향하는 양방향 통신 서비스들이 대두함에 따라 이를 가능케 하는 촉각 인터넷의 실현이 화두에 오르고, 사용자가 느끼는 지연 시간을 얼마나 낮출 수 있는지가 핵심 문제로 꼽히게 되었다. 종단간 지연 시간을 줄이려는 방법으로서 제안된 cut-through 스위칭은 중간 노드에서의 수신 대기 시간을 줄여 성능 이득을 얻는 것을 목표로 하고 있으며, 본 논문에서는 이를 참조해 수신 대기 지연 문제를 해결해 종단간 지연 시간을 낮추는 전송 단위 구조와 해당 구조에 알맞은 PHY 계층 프레임 설계를 하였다. 그리고 이를 USRP를 이용한 SDR(Software Defined Radio) 기반의 시스템으로 구현하여 멀티 홉 네트워크상에서 종단간 저지연 통신을 가능하게 하였다. 그리고 구현한 시스템을 사용해 네트워크 환경의 변화에 따라 지연 성능이 어떻게 달라지는지를 측정하였다.

키워드 : 저지연, USRP 구현, cut-through 스위칭, 촉각 인터넷

Key Words : Low delay, USRP implementation, cut-through switching, tactile internet

ABSTRACT

As two-way communication services based on the direct realtime interaction with users emerge, the techniques to reduce the end-to-end delay are crucial to realize the tactile internet. To this end, cut-through switching that allows data forwarding during its receiving process has attracted much attention. Motivated by it, we develop a flexible transmission scheme aiming to reduce the end-to-end packet delay. We redesign the frame structure and implement it on a software defined radio (SDR) based system. We evaluate the performance of the proposed scheme through experiments on a testbed.

I. 서 론

네트워크의 발달에 따라 단방향으로 사용자에게 정보를 제공하는 것에서 벗어나, 사용자와의 양방향 통

신을 중점으로 하는 서비스들이 나타나고 있다. 이러한 서비스들은 실시간으로 이뤄지는 사용자와의 직접적인 상호작용에 기반하고 있고 영상, 이미지 등의 시각/청각적인 감각을 넘어 촉감과 같은 실감 콘텐츠를

※ 본 연구는 2019년도 정부(미래창조과학부)의 재원으로 정보통신기술진흥센터의 지원을 받아 수행된 연구임 (No. 2015-0-00278, Research on Near-Zero Latency Network for 5G Immersive Service)

♦ First Author : UNIST, School of Electrical and Computer Engineering, seunghyunlee@unist.ac.kr, 학생회원

° Corresponding Author : Korea Univ., Dept. of Computer Science and Engineering, changhee@korea.ac.kr, 정회원

* UNIST, School of Electrical and Computer Engineering, kimyj783@unist.ac.kr, 학생회원; nick0822@unist.ac.kr; hjyang@unist.ac.kr, 정회원

논문번호 : 201908-158-D-RN, Received August 14, 2019; Revised November 7, 2019; Accepted November 25, 2019

제공하는 것도 가능하다^[1]. 이미 여러 분야에서 다양한 서비스들이 등장하고 있는데 의료 분야에서는 원격에서 외과적 검진/수술을 진행하는 원격 로봇 수술이, 교통 분야에서는 차량이 다른 차량이나 주변 인프라, 교통 상황 등의 정보를 수집해 운전자에게 전달하는 V2X (Vehicle-To-Everything)^[2]와 이를 스스로 처리하는 자율 주행 등이 등장했고, 이 외에도 실시간 온라인 게임과 스트리밍, 웨어러블 (wearable) 장비를 이용한 증강현실과 가상현실(VR) 등의 서비스들이 존재한다^[3].

이러한 서비스들에는 신뢰성, 유용성과 함께, 빠른 반응 속도를 보장하는 낮은 지연 시간이 필수적이고, 제공하고자 하는 서비스에 따라서 일반적으로 2~5ms의 종단간 지연 시간을 요구된다. 특히 V2X를 이용한 완전 자율 주행, 몰입형 통신 서비스, 그리고 실시간 촉각 전달을 요구하는 촉각 인터넷 서비스^[4]의 경우 1ms 이하의 지연 시간을 요구하고 있다^[5]. 이러한 저지연 서비스에서는 정보의 즉각적인 전달과 피드백이 중요하기에 종단간 네트워크 지연 시간이 성능의 핵심 요소이다.

지연 시간은 네트워크상의 다양한 요소에서 발생하므로, 지연 시간 개선을 위해 다양한 부분에서 연구가 진행되었다. 시스템 수준에서는 데이터 전송 중 송/수신 측에서 발생하는 복사 과정을 생략하고 Zero-Copy 기술을 사용함으로써 통신 성능을 향상시킬 수 있으며^[6], L3에서는 큐잉 지연 문제 해결을 위해 패킷의 우선순위를 실시간으로 재조정하는 방법이 제안되었다^[7].

본 논문에서는 L2 패킷 포워딩 과정에서의 전송 지연 시간에 초점을 맞추고 이를 최소화하고자 한다. 전송 지연은 송신 채널의 사용 가능 여부와 관계없이 패킷이 거치는 모든 중간 노드마다 발생하므로, 이의 개선은 네트워크의 규모에 비례해 종단간 지연을 개선하는데 크게 기여한다.

해당 문제를 해결하기 위한 대표적인 시도는 [8]에서 제안한 cut-through 스위칭이다. 패킷의 헤더만을 먼저 수신하면서 라우팅 작업을 수행한 후, 나머지 데이터는 완전한 수신을 기다리지 않고 바로 다음 노드로 포워딩을 시작하는 방식으로, 중간 노드에서의 수신 대기 시간을 줄임으로써 성능 이득을 볼 수 있다^[9].

본 논문에서는 cut-through 스위칭을 구현하기 위해 좀 더 일반화된 형태의 전송 단위인 플릿 구조를 설계한다. 중간 노드에서의 포워딩을 위한 수신 대기 시간을 줄이기 위해, 전송 단위의 크기를 줄임으로써 수신 대기 지연 문제를 해결하고, 해당 설계에 맞게

PHY 계층의 프레임 구조와 전송 시스템 구조를 재설계하였다.

플릿 기반 전송 과정에 필요한 기능을 설계/구현하고, 멀티 홉 네트워크 시스템 구축을 통해 테스트베드를 활용한 성능 검증을 진행한다. 해당 시스템 구축에 있어서, 데이터의 동시 송수신과 플릿화 과정의 오버헤드를 제어하고 외부 요인의 영향 없이 플릿의 흐름을 이어나가기 위해 Software로 흐름을 제어할 수 있는 SDR (Software Defined Radio) 플랫폼인 USRP가 적합하였다^[10]. USRP 테스트베드를 활용하여 네트워크 크기에 따른 종단간 지연 시간을 측정한다.

전체 논문의 구조는 다음과 같다. 2장에서는 플릿 구조에 대한 설명과 더불어 시스템 내에 구현된 기능들을 송신부와 수신부로 나눠 설명한다. 3장에서는 시스템의 구성과 환경, 그리고 이를 이용한 실험 결과를 보여주고, 4장에서는 논문의 결론을 제시한다.

II. 본 론

2.1 플릿 포워딩

다중 홉 네트워크상의 데이터 전송에서 발생하는 종단간 지연의 주요 원인 중 하나는 중간 노드의 패킷 포워딩 과정에서 발생하는 수신 대기 시간이다. 일반적인 Store-and-Forward 기법에서는 이전 노드로부터 전송받은 데이터의 수신이 완료된 후에 다음 노드로의 전송을 시작하므로, 패킷의 크기에 따라 지연 시간 또한 커지게 된다.

해당 전송 지연 시간을 낮추기 위해 본 논문에서는 데이터 송수신의 기본 단위를 플릿으로 감소시키는 기법을 제안한다. 플릿은 기존의 패킷 구조와 비교해 더 작은 크기를 가지며, 송신단에서 한 개의 패킷이 여러 개의 플릿으로 나누어 차례로 전송된다. 각 홉에서는 n번째 수신을 완료한 후, (n+1)번째 플릿을 수신 하면서, 동시에 수신된 n번째 플릿을 포워딩한다. 그림 1은 이러한 플릿화를 통한 전송 지연의 개선 효과를 보여준다. 기존의 Store-and-Forward 기법은 그림 1(a)와 같이 전체 패킷의 수신 이후에 다음 홉으로의 전송이 진행되지만, 플릿화를 하면 그림 1(b)와 같이, 패킷의 뒷단 플릿들이 수신되는 동안, 앞단의 플릿들은 다음 홉으로 바로 전송이 진행된다. 플릿화에 의한 지연 성능의 개선은, 여러 홉을 따라 패킷이 전송될 때에 그 이득이 선형적으로 증가하여 종단간 지연 시간 감소에 큰 효과가 예상된다. 다만 각각의 전송 단위에 반드시 포함되어야 하는 필수요소들이 있는 만큼, 전송 단위가 지나치게 작은 경우에 전체적인 오버

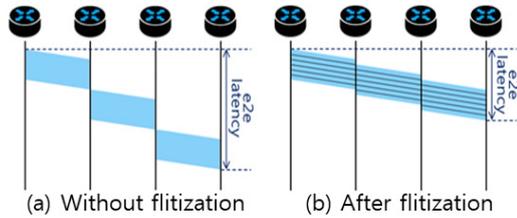


그림 1. 플릿 사용에 따른 중단간 지연의 변화.
Fig. 1. End-to-end delay change with adaptation of flit structure.

헤드가 상승하게 되는 문제가 발생하므로 적절한 플릿 크기 조절이 필요하다.

멀티프로세서 통신에서 플릿은 흐름 제어 단위 (flow control unit)로서 플릿 head/body/tail이 서로 다른 크기와 용도로 사용되었다^[11]. 본 논문에서의 플릿 프레임은 다양한 인터넷 환경을 반영하여 head/body/tail의 구별 없이 같은 구조와 크기를 가지며, 중간 노드에서의 큐잉을 지원한다.

2.1.1 플릿 구조

본 연구에서 플릿의 구조는 그림 2와 같이 크게 헤더, 플릿 바디, FEC로 구성하였다. 헤더는 해당 플릿의 식별자 역할을 수행하고, 플릿 바디는 해당 플릿이 운반하는 실제 데이터를 담고 있다. FEC는 최소한의 오류 검사와 수정을 위한 구성요소다.

헤더는 플릿의 고유 번호인 플릿 번호(8 bits), 그리고 플릿이 속한 플로우를 식별하기 위한 플로우 번호(24 bits) 등을 포함해 총 32 bits의 크기를 가진다. 각 식별 ID를 통해 해당 플릿이 몇 번째 플릿인지, 어떤

플로우에 속해있는지를 확인할 수 있다.

FEC는 데이터에 대한 에러 검사 및 수정을 위해 사용되는 bits다. 수신단에서는 FEC를 참고해 해당 플릿의 에러 유무를 검사하고 에러 발생 시 송신단으로부터의 재송신 없이 FEC 분석만으로 원 데이터를 복구할 수 있다.

물리계층(PHY)은 높은 전송률을 안정적으로 제공하는 OFDM(Orthogonal Frequency Division Multiplexing)을 사용하였다. 플릿 바디는 그림 2의 OFDM PHY처럼 해당 플릿의 데이터를 운반하는 OFDM 심볼과 OFDM 심볼이 지연될 시 발생하는 문제점을 방지하기 위한 Cyclic Prefix (CP)가 반복되는 구조로 형성하였다. 한 개의 OFDM 심볼은 125개의 데이터 심볼과 29개의 reference 심볼, 20개의 PN Sequence, 그리고 82개의 zero padding으로 총 256개, CP는 64개의 심볼 단위로 구성되도록 설계하여 총 320 단위의 길이를 가지게 되고, 이는 5M의 샘플링 속도에서 64μs에 해당한다^[12].

그림 3처럼 데이터 심볼 5개와 reference 심볼 1개가 반복되며 틀을 형성하고, 각각 10개의 PN Sequence와 2개의 reference 심볼, 그리고 41개의 zero padding이 양 끝에 더해지며 완성된다. 여기서 Reference 심볼은 채널 추정 및 동화(equalizing) 작업을 수행하고, PN Sequence는 신호를 받는 수신단이 해당 신호의 정상 여부와 프레임 번호를 판별하기 위해 사용한다.

2.2 시스템 구현

본 논문의 시스템에서 구현된 기능은 크게 송신부

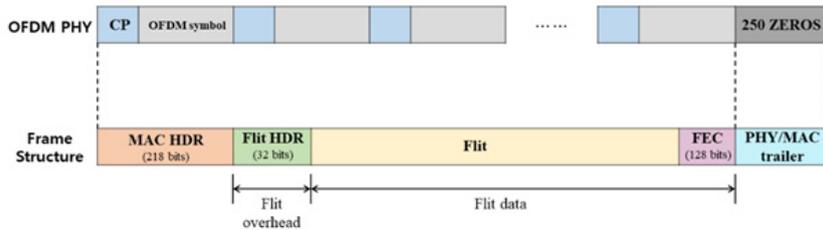


그림 2. 플릿 프레임 구조.
Fig. 2. Flit frame structure.

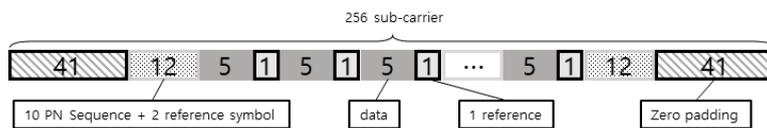


그림 3. OFDM 심볼의 구조.
Fig. 3. OFDM symbol structure.

수신부로 나눌 수 있다. 송신부는 전송 데이터를 부호화해 플릿 구조로 만들어 전송하는 기능을, 수신부는 수신받은 플릿을 복호화해 원 데이터를 복구하는 기능을 담당한다.

2.2.1 송신부

송신부의 프로세스는 그림 4와 같이 크게 데이터 인코딩, 플릿 생성, 플릿 전송의 3가지로 나눌 수 있다.

데이터 인코딩: 데이터 인코딩 프로세스에서는 플릿을 통해 전달할 메시지, IQ Rate, 변조 방식 등을 받아 해당 설정에 맞게 데이터를 변조하는 작업이 진행되며, 플릿 인코딩 모듈을 통해 수행된다. 먼저 메시지 데이터가 설정된 변조 방식에 따라 데이터 심볼 단위로 변환되고, 여기에 reference 심볼, PN sequence, 그리고 zero padding을 더해 OFDM 심볼을 생성한다. 플릿 인코딩 모듈은 이렇게 생성된 OFDM 심볼을 Cyclic Prefix와 1:1로 번갈아 가며 배치하고, 이 작업을 반복해 플릿의 바디 구조를 형성한다.

플릿 생성: 플릿의 각 구성요소를 조립해 플릿 구조를 완성하는 작업을 수행한다. 또한, 플릿 인코딩 모듈에서 이미 완성한 바디 구조를 제외한 나머지 구성요소들은 플릿 생성 프로세스에서 생성한다. FEC 생성 모듈은 플릿 인코딩 모듈에서 건네받은 OFDM 심볼을 토대로 해당 플릿의 FEC 값을 생성한다. 헤더 생성 모듈은 생성 순서에 따라 플릿 식별 번호와 플로우 식별 번호를 부여하고 이를 토대로 헤더 구조를 만든다.

플릿 전송: 플릿 생성 프로세스에서 완성된 플릿은 대기열에 저장되어 전송되기를 기다린다. 대기열로는

큐가 가득 찬 상태에서 새로운 플릿이 들어오면 가장 오래된 플릿을 삭제하는 순환 큐를 사용하여 불필요한 연산을 줄이고 메모리를 효율적으로 사용하였다. 순환 큐는 저장된 플릿의 유무가 주기적으로 검사되며 큐가 비어있지 않는다면 저장된 플릿을 꺼내 전송 모듈로 넘겨준다. 플릿 전송 모듈은 주파수 대역과 같이 데이터 전송에 필요한 세부 설정과 함께 해당 플릿을 호스트와 연결된 USRP로 보내 해당 USRP가 다음 노드로 플릿을 전달할 수 있도록 구현하였다.

2.2.2 수신부

수신부는 신호 수신 프로세스와 디코딩 프로세스로 나누어진다. 그림 5와 같이 플릿 판별이 끝난 후 디코딩 모듈(신호 디코더; Signal Decoder)로 넘겨진 데이터는 디코딩 프로세스를 거친 후에, 송신부의 플릿 전송 모듈과 유사한 플릿 포워드(Flit Forwarder)로 보내지고, USRP 하드웨어를 통해 다음 목적지로 포워드된다.

신호 수신: 수신부에 할당된 RF 채널에서는 연결된 안테나를 설정된 주파수 대역으로 맞춰 해당 대역으로 들어오는 모든 신호를 수신부로 보낸다. 수신부에서는 해당 신호를 일정 주기로 자른 후 이전 노드에서 보낸 플릿이 포함되어 있는지를 확인한다. 플릿의 유무는 신호의 진폭을 체크해 판단하는데, 임계치를 넘는 진폭이 임계시간 이상 계속해서 이어지면 해당 신호를 데이터로 간주한다. 데이터로 판단된 신호는 후술할 디코딩 모듈로 넘겨지고, 나머지는 버려진다.

디코딩: 디코딩 모듈은 Van De Beek 알고리즘^[13]을 통해 이전의 프로세스로부터 건네받은 데이터에서 cyclic prefix를 파악해 제거한 후, 데이터 심볼을 분리해낸다. 데이터 심볼은 다시 데이터 bits로 대응되어

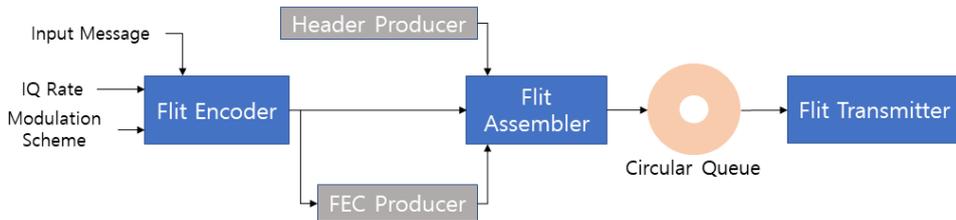


그림 4. 송신부 구조도
Fig. 4. The structure diagram of functions in transmitter.



그림 5. 수신부 구조도
Fig. 5. The structure diagram of functions in receiver.

표 1. 실험에서 사용된 설정 파라미터.
Table 1. Parameter settings for the test.

Parameter Settings	
IQ Rate	5M (Hz)
Carrier Frequency	910M (Hz)
Data Size	1500 (Byte)
Flit Size	750 / 1500 / 3000 / 12000 (Bits)

과 같은 사용자 인터페이스를 구현하여 사용자가 변수값들을 조절하고 시뮬레이션 실행과 결과 관찰을 할 수 있도록 만들었다. 실험에 사용된 설정 파라미터들의 값은 표 1과 같다.

3.2 결과 분석

지연 성능 분석을 위해 최대 4대의 USRP를 일렬로 연결해 1홉, 2홉, 3홉, 4홉의 4가지 선형 네트워크 토폴로지를 구성하였고 전송할 데이터의 총량을 12000 bits로 고정하되, 각각의 토폴로지서 하나의 플릿이 운반하는 데이터의 크기를 750, 1500, 3000, 12000 bits로 다양화하였다. 12000 bits의 경우는 패킷이 하나의 플릿으로 전달되는 기존의 Store-and-Forwarding 기법에 해당하며, 750, 1500, 3000 bits의 경우에는 각각 패킷이 16개, 8개, 4개의 플릿으로 나뉘어 전송된다. 각 플릿이 마지막 노드에 도착하는 지연 시간과 패킷 전체가 마지막 노드에 도착하는 지연 시간을 측정하였다. 이를 통해 플릿의 크기와 네트워크 규모가 지연 시간에 미치는 영향을 분석하였다.

그림 8.(a)에서 볼 수 있듯이, 플릿의 크기가 커질

수록 각 플릿의 송수신에 걸리는 시간이 길어지며 플릿의 평균적인 지연 시간 또한 늘어났다. 또한, 네트워크의 규모가 커질수록 지연 시간이 늘어나는 이유는 중간 노드에서 플릿이 대기열에서 일부 지체되며, 이에 따라 큐잉 지연 시간이 추가되기 때문이다.

그림 8.(b)는 데이터 전체를 전송하는 데 소모된 시간을 나타낸다. 네트워크의 규모가 커질수록 데이터가 거치는 노드의 수가 많아지며 종단간 거리가 길어지고, 큐잉 지연 시간도 추가되면서 총 지연 시간이 늘어나는 결과를 보여주고 있다. 전체적으로 플릿 크기가 감소함에 따라 지연 시간이 감소하는 것을 확인할 수 있다. 다만, 1홉 네트워크에서는 플릿화에 따른 전송 지연이 없으므로, 플릿 크기가 작을수록 총 지연 시간이 커지는 것이 관찰된다.

IV. 결론

본 논문에서는 종단간 저지연 전송을 위한 유연한 전송 기본 단위로서 플릿 구조를 설계하였다. 설계한 플릿 구조는 데이터가 수신 작업을 기다리며 각 노드에 체류하는 시간을 줄여 데이터가 각 노드를 거칠 때마다 발생하는 지연 시간을 감소시킨다.

USRP를 사용하여 제시한 플릿 기반의 전송 시스템을 구현하였다. 해당 시스템은 송신부와 수신부로 나뉘어 각 프로세스 수행에 핵심적인 기능들을 포함하고 있고, 네트워크 단말 노드에는 시간 측정, 데이터 생성 등의 기능들을 추가로 구현하였다.

구현한 시스템을 사용해 플릿의 크기와 네트워크를 구성하는 노드의 수에 따른 지연 시간의 변화를 관측

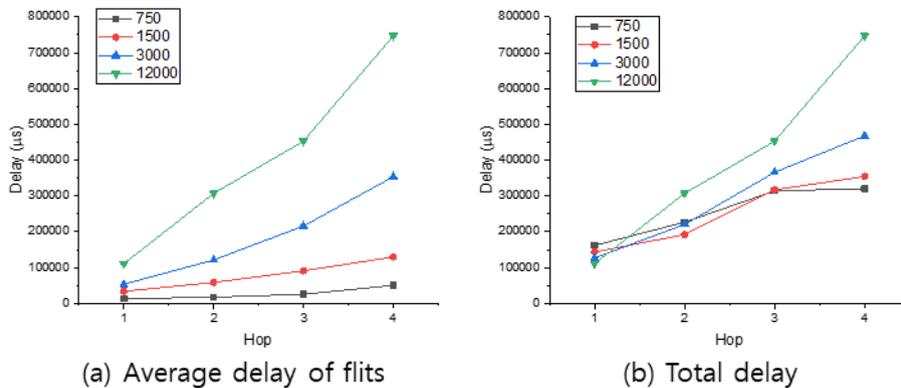


그림 8. 다양한 플릿 크기와 네트워크 규모에 따른 지연 성능.
Fig. 8. Latency performance under different flit sizes and network sizes.

해 전송 단위의 크기와 네트워크의 규모가 지연 시간에 미치는 영향을 분석하였다. 이를 통해 각 전송 단위마다 포함된 데이터의 크기에 따라 지연 시간에 차이가 있음을 밝혀 플릿 기반 전송 시스템의 지연 시간 개선 성능을 확인하였다.

본 연구의 결과는 테스트베드 하드웨어 성능의 한계로 인해 제한적인 실험 환경에서 진행되었으므로, 실제 네트워크 성능과의 직접적인 비교는 제한적이다. 지연 성능 개선을 더욱 정확히 분석하기 위해서는, 다양한 네트워크 환경과 대규모 네트워크 토폴로지에서의 추가 성능 평가가 필요하다.

References

[1] S. Choi, Y. Song, and H. Kim, "Ultra low latency services in the 5G era : Scenarios and issues," *Korea Contents Assoc. Conf.*, pp. 291-292, 2015.

[2] R. Alieiev, A. Kwoczek, and T. Hehn, "Automotive requirements for future mobile networks," in *Proc. IEEE MTT-S Int. Conf. Microw. Intell. Mobility (ICMIM)*, pp. 1-4, Apr. 2015.

[3] M. A. Lema, et al., "Business case and technology analysis for 5G low latency applications," in *IEEE Access*, vol. 5, pp. 5917-5935, 2017.

[4] ITU-T Technology Watch Report, "*The tactile internet*," Aug. 2014.

[5] Y.-S. Hwang, M.-S. Bae, and J.-U. Sin, "5G 저지연 서비스 및 테스트베드 개발 동향," *KICS Inf. and Commun. Mag.*, vol. 32, no. 9, pp. 37-43, 2015.

[6] B. Chae and H. Tcha, "Study of zero-copy mechanism in TCP/IP," *J. Korea Inst. of Inf., Electron., And Commun. Technol.*, vol. 1, no. 2, pp. 131-136, 2008.

[7] J. Kim and K. Lee, "A new low-latency switch architecture with adaptive priority queues," in *Proc. Symp. KICS*, pp. 265-265, 2017.

[8] P. Kermani and L. Kleinrock, "Virtual cut-through: A new computer communication switching technique," *Comput. Netw.*, vol. 3, no. 4, pp. 267-286, Sep. 1979.

[9] C. Joo and S. Lee, "Delay performance of

cut-through switching," *The J. KICS*, vol. 44, no. 1, pp. 81-91, 2019.

[10] D. S. Kang and K. W. Choi, "Development of SDR testbed for ultra-dense networks," *J. KICS*, vol. 44, no. 6, pp. 1181-1187, Jun. 2019.

[11] V. C. Barbosa, *An Introduction to Distributed Algorithms*, MIT Press, vol. 13, 1996.

[12] S.-K. Choi, "Reference symbol arrangement in LTE OFDM systems," *J. KICS*, vol. 19, no. 12, pp. 2805-2812, 2015.

[13] J. J. van de Beek, M. Sandel, and P. O. Borjesson, "ML estimation of time and frequency offset in OFDM systems," in *IEEE Trans. Sign. Process.*, vol. 45, no. 7, pp. 1800-1805, Jul. 1997.

이 승 현 (Seunghyun Lee)



2014년 2월 : 울산과학기술원 전기전자컴퓨터공학부 졸업
 2016년 8월 : 울산과학기술원 전기전자컴퓨터공학부 석사
 2016년 9월~현재 : 울산과학기술원 전기전자컴퓨터공학부 박사과정

<관심분야> 컴퓨터 네트워크
 [ORCID:0000-0002-7724-3997]

김 영 준 (Yeongjun Kim)



2016년 8월 : 울산과학기술원 전기전자컴퓨터공학부 졸업
 2016년 9월~현재 : 울산과학기술원 전기전자컴퓨터공학부 석박통합과정

<관심분야> 무선통신
 [ORCID:0000-0002-3973-6002]

김 유 진 (Youjin Kim)



2016년 8월 : 울산과학기술원
전기전자컴퓨터공학부 졸업
2016년 9월~현재 : 울산과학기술원
전기전자컴퓨터공학부
석박통합과정
<관심분야> 무선통신

[ORCID:0000-0001-9909-7890]

주 창 희 (Changhee Joo)



1998년 2월 : 서울대학교 전기
공학부 졸업
2000년 2월 : 서울대학교 전기
공학부 석사
2005년 2월 : 서울대학교 전기
공학부 박사
<관심분야> 컴퓨터 네트워크

[ORCID:0000-0003-1690-2298]

양 현 중 (Hyeonjong Yang)



2004년 2월 : 한국과학기술원 전
기공학부 졸업
2006년 2월 : 한국과학기술원 전
기공학부 석사
2010년 2월 : 한국과학기술원 전
기공학부 박사
<관심분야> 무선통신

[ORCID:0000-0002-0717-3794]