

끊김 없는 화면 전환이 가능한 UHD 다채널 신호 재생 시스템 설계 및 구현

전 윤 석*, 김 영 한°

Design and Implementation of UHD Multi-channel Signal Generation System with Seamless Video Switching

Yoon-seok Jeon*, Young-han Kim°

요 약

UHD(Ultra High Definition)급 초고선명 영상을 지원하는 다중 채널 신호 재생 시스템은 다양한 콘텐츠를 다루는 방송 서비스 분야에서 필수적이다. 다중채널 신호 재생 시스템은 단순히 복수 개의 단일 신호 재생 시스템과 하나의 매트릭스 스위처를 연동하여 구성할 수 있다. 그러나 이러한 연동 시스템은 구성이 간단하다는 장점이 있지만, 신호 재생 시스템과 매트릭스 스위처 간 영상 신호 처리를 위하여 채널당 9 Gbps 이상의 데이터 전송률이 요구되어 기기간 연결 케이블 품질에 따른 화면 출력 문제를 야기할 뿐만 아니라, 비 동기적 다중 입력 신호에 대한 매트릭스 스위처 화면전환 때 불안정한 신호 출력으로 인한 화면 끊김 문제를 초래할 수 있다. 본 논문에서는 다수의 신호재생 시스템을 독립 동작이 가능 하도록 모듈화 하고, 매트릭스 스위처는 고속 비디오 처리가 가능한 FPGA(Field Programmable Gate Array) 단일 칩으로 설계 하여 이를 결합한 다중 채널 신호 재생 시스템을 구현하였다. 본 시스템은 신호재생 모듈에서 중복 컬러 데이터가 제거된 영상 데이터를 매트릭스 스위처로 전송하고 최종 화면 출력 부분에서 제거된 컬러 데이터를 추가 시켜 줌으로서 기존 시스템에 비하여 영상 데이터 전송률을 40% 줄일 수 있으며, 메모리 사용량은 25% 줄일 수 있었다. 화면 출력부분 매트릭스 스위처에서는 입력/출력 분리 설계를 통해 화면 전환 시에도 출력 신호가 끊김 없이 유지될 수 있도록 하였다. 실험을 통해 제안 시스템이 다양한 종류의 UHD 영상을 서로 다른 4개의 출력 포트로 다양하게 실시간 전송할 수 있고, 끊김 없는(Seamless) 화면 전환이 가능함을 보였다.

키워드 : 초고선명, 시그널 제너레이터, 신호 발생기, 매트릭스 스위처, 다채널

Key Words : UHD, 4K, Signal generator, Matrix switcher, Multi-channel

ABSTRACT

Multi-channel signal generation system that supports UHD-level ultra-high definition video is essential for broadcasting service that handles various contents. The multi-channel signal generation system can be configured simply by interlocking a multiple of single signal generation systems and one matrix switcher. Such an interlocking system has the advantage of simplicity, but an data rate of 9 Gbps or more per channel is required for processing a video signal between the signal generation system and the matrix switcher, which not only causes display output problems due to the quality of the cable connection between devices, but also makes it unstable when switching the matrix switcher with asynchronous multi-input signals. It may cause screen cut off.

* First Author : Soongsil University Department of Electronic Engineering, happyjeon01@gmail.com, 학생(박사), 학생회원
° Corresponding Author : Soongsil University Department of Electronic Engineering, younghak@ssu.ac.kr, 정교수, 종신회원
논문번호 : 202001-014-D, Received January 23, 2020; Revised March 3, 2020; Accepted March 11, 2020

In this paper, multiple signal generation systems are modularized to enable independent operation, and matrix switchers are designed as FPGA (Field Programmable Gate Array) single chip capable of high-speed video processing to implement multi-channel signal generation system combining them. This system can reduce the video data transmission rate by 40% compared to the existing system by transmitting the video data from which the duplicated color data is removed from the signal generation module to the matrix switcher and adding the color data removed from the final display output. Memory usage was reduced by 25%. In the display output matrix switcher, the input / output separation design ensures that the output signal remains unchanged even when switching screens. Experimental results show that the proposed system can transmit various kinds of UHD video to four different output ports in real time and that seamless screen switching is possible.

I. 서론

UHD(Ultra High Definition) 지상파 방송 시대가 도래 하면서 영상 관련 시스템 개발은 UHD 시퀀스 스트림 제작부터 신호 재생을 위한 시그널 제너레이터, 대용량의 UHD 방송 서비스를 위한 케이블 방송망을 통한 전달 방법등 다양한 연구가 활발하게 진행되고 있다¹⁻³⁾. 최근 국내 UHD 방송 표준으로 ATSC (Advanced Television Systems Committee) 3.0으로 결정되어 수신기 개발도 진행되고 있다⁴⁾.

UHD 시그널 제너레이터는 TV(Television)제조사 의 제품 생산에 필요한 무 압축 정지 영상만을 지원하는 시스템으로 단일 채널 출력만 지원한다²⁾. 다수의 영상 소스를 처리하는 시스템은 방송 서비스에 필요한 시스템으로 영상을 캡처하고 출력하기 위해 다수의 FPGA(Field Programmable Gate Array)를 사용하여 병렬 처리 하는 것이 일반적이다⁵⁾.

기존 상용화 시스템에서는 다양한 영상 소스를 선택적으로 공급하기 위해 그림 1과 같이 복수 개의 단일 신호 재생 시스템과 비디오 매트릭스 스위치로 개별 구성한다⁶⁾. 이러한 연동 시스템은 구성이 간단하다는 장점이 있지만, 신호 재생 시스템과 매트릭스 스위치 간 영상 신호 처리를 위하여 채널당 9 Gbps 이

상의 데이터 전송률이 요구 되어 기기간 연결 케이블 품질에 따른 화면 출력 문제를 야기한다⁷⁾.

또한 복수의 단일 신호 재생 시스템에서 발생된 비동기적 다중 신호가 매트릭스 스위치로 입력되어 화면전환 때 불안정한 신호 출력으로 화면 끊김 문제를 초래할 수 있다. 이는 대부분 시스템들이 입력된 신호를 비디오 MUX(Multiplexer)를 이용하여 전환하기 때문에 이전 동기 신호와 이후 동기 신호 미스매치가 발생 되면서 디스플레이 시스템에서 화면 이상이 발생한다.

이를 개선하기 위해 고가형 시스템은 기준 신호 (Reference Sync, Genlock)를 입력하여 항상 일관된 동기 신호가 출력되도록 하고 있다⁸⁾.

본 논문에서는 추가 기준 신호 입력이 없이 끊김 없는(Seamless) 비디오 화면 전환이 가능한 UHD 다중 채널 신호 재생 시스템을 제안한다. 신호 재생 시스템을 모듈화 한 다수의 신호 재생 모듈과 고속 비디오 처리가 가능한 One-Chip FPGA로 매트릭스 스위치를 설계하고 이를 결합하여 다중 채널 신호 재생 시스템을 구현하였다.

본 시스템은 신호 재생 모듈에서 크로마 업샘플링 또는 컬러 공간 변환을 통해 발생된 중복 컬러 데이터를 제거하여 매트릭스 스위치로 전송한다. 최종 출력 부분에서 크로마 업샘플링 동작을 수행함으로써 신호 재생 모듈과 매트릭스 스위치 블록 사이 UHD 신호 전달에 데이터 손실 없이 전송률 및 메모리 사용량을 절감하였다.

또한 매트릭스 스위치 블록에서 신호 입력과 출력을 분리 설계하여 화면 전환 시에도 출력 신호가 끊김 없이 유지될 수 있도록 하였다. 실험을 통해 개별 신호 출력에 대해 끊김 없는 화면 전환이 가능함을 확인하였다.

본 논문의 구성은 II장에서 UHD 다채널 신호 재생 시스템 설계 방법에 대해 설명하고, III장에서 제안

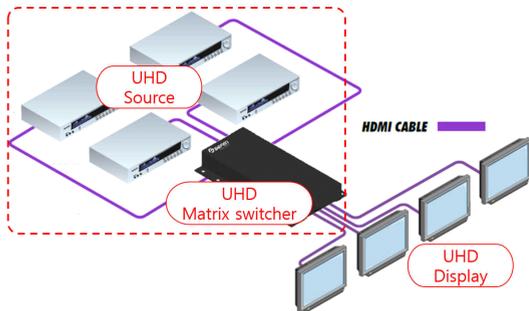


그림 1. 개별 시스템들의 결합에 의한 구성도
Fig. 1. Structure of combining individual systems

시스템의 구현 및 검증은 기술하며, 마지막으로 IV장에서 결론을 맺는다.

II. UHD 다채널 신호 재생 시스템 설계

제안 시스템은 그림 2와 같이 다수의 영상 소스를 생성하는 신호 재생 모듈과 화면 출력을 담당하는 매트릭스 스위처 블록으로 구성된다.

각 신호 재생 모듈은 안드로이드 플랫폼을 탑재하고, 조작의 편의성을 위해 GUI(Graphic User Interface)를 지원하며, 다양한 UHD 영상을 내부 스토리지로 저장한 다음 사용자 선택에 따라 영상을 출력한다.

매트릭스 스위처 블록에는 HDMI(High Definition Multimedia Interface)신호를 복호화 할 수 있는 블록, 영상 데이터를 메모리에 저장하는 블록, 저장된 영상 데이터를 출력 설정에 따라 맵핑하는 매트릭스 로직 블록, 영상 데이터 YUV420를 YUV422로 변환하는 크로마 업샘플러(Chroma Up-sampler), 최종 HDMI 신호로 다시 부호화 하는 블록으로 구성되어 있다.

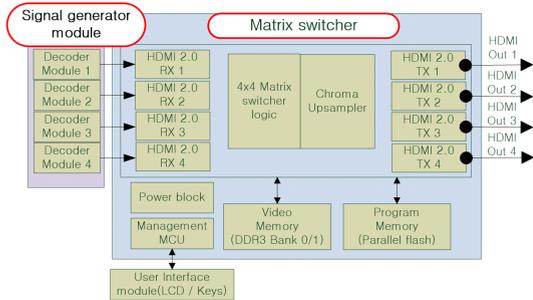


그림 2. 제안 시스템 내부의 전체구성도
Fig. 2. Overall structure of the proposed system

2.1 신호 재생 모듈 설계

인간의 시각은 컬러 변화보다 휘도의 변화에 민감하게 반응하기 때문에 영상에서는 압축률을 높이기 위해 컬러 데이터를 더 많이 줄이는 YUV420 포맷을 사용한다⁹⁾. 일반적인 신호 재생 시스템에서는 이런

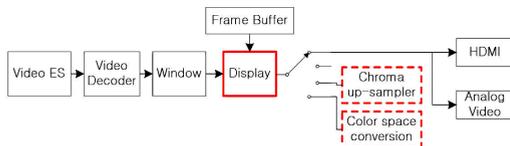


그림 3. 신호 재생 모듈의 영상 디코딩 후 화면 출력과정
Fig. 3. Display output process after video decoding of signal generation module

영상 데이터를 입력 받아 디코딩한 다음 크로마 업샘플링 과정을 거쳐 YUV422 또는 YUV444로 출력하거나, 컬러 공간을 변환(Color space conversion)하여 RGB로 출력하기도 한다. 이 과정에서 컬러 정보가 중복 삽입 된다.

제안 시스템에서는 신호 재생 모듈의 구동 S/W 자체구현을 통해 컬러 정보가 중복 삽입되지 않도록 하였다. 그림 3은 신호 재생 모듈의 영상 디코딩 후 화면 출력 과정으로 도식화 한 것이다. 비디오 디코더에서 복호화된 영상은 Display파트로 넘어 오면서 Frame buffer와 오버레이 되는데, 이 과정에서 크로마 업샘플러 또는 컬러변환(Color space conversion) 동작이 스킵 되어 YUV420 포맷으로 출력할 수 있도록 하였다.

2.2 비디오 매트릭스 스위처 블록 설계

2.2.1 입출력 분리기반 UHD HDMI RX/TX 4채널 로직

UHD 영상(3840x2160, 30p, YUV422)을 HDMI로 전송하기 위해서 최대 9 Gbps 전송 속도를 지원해야 한다. One-Chip FPGA로 HDMI 4채널을 동시에 처리하기 위해서 고속 통신이 가능한 GT(Gigabit Transceiver)가 최소 4개가 탑재된 디바이스를 선정해야 한다. 사용된 FPGA는 Kintex7 XC7K410T를 선정하였다.

HDMI 블록 구조는 그림 4 처럼 HDMI GT (Gigabit Transceiver)와 HDMI RX/TX SubSystem으로 구성되어 있다. GT에서는 고속 시리얼로 들어오는 신호를 병렬 신호로 변경하거나, 병렬 신호를 고속 시리얼 신호로 변환하는 기능을 수행한다. Rx/Tx SubSystem은 HDMI 프로토콜을 복호화 또는 부호화하는 기능을 수행한다¹⁰⁾.

1채널 HDMI 블록을 4개 채널로 확장하여 One-Chip에 라우팅 하기 위해서는 각 채널에 대한 클

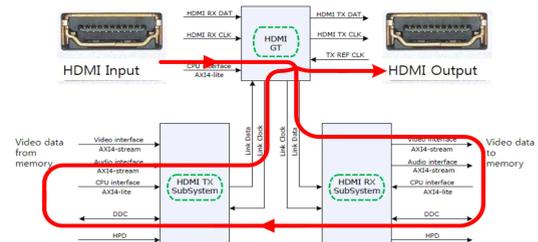


그림 4. HDMI 블록 구조 및 데이터 흐름도
Fig. 4. HDMI Block structure and data flow

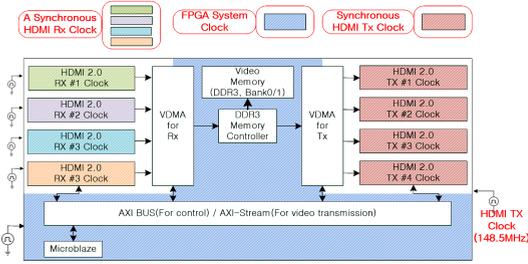


그림 5. 매트릭스 스위처 내부의 클록 구성도
Fig. 5. Clock structure inside the matrix switcher

록 설계가 중요하다. 기존 시스템들의 매트릭스 스위처 구현은 입력된 동기 신호를 이용하기 때문에 입력 지터(Jitter) 특성이 그대로 출력까지 전달되는 구조이다⁶⁾. 본 시스템에서는 매트릭스 스위처의 출력 동기 신호를 신규로 생성하여 사용함으로써 입력 특성이 출력에 영향을 미치지 않도록 설계하였다.

그림 5는 매트릭스 스위처 내부의 클록 구성도를 나타낸다. 각 신호 재생 모듈로부터 입력되는 비동기적 영상 신호에서 영상 데이터를 캡처하기 위해서는 각 채널의 HDMI RX 클록을 사용해야 한다.

이때 캡처된 데이터는 시스템 클록 기반으로 운용되는 비디오 메모리에 저장되는데, 이때 서로 상이한 클록으로 인한 데이터 전송 문제는 VDMA(Video Direct Memory Access) RX 버퍼링을 통해 해결하였다. 화면 출력 때 역시 메모리와 HDMI TX간 상이한 클록으로 인한 데이터 전송 문제 발생하는데 VDMA TX 버퍼링으로 해결하였다. 그리고 HDMI TX 4개에 대한 클록은 별도 오실레이터를 통해 모두 동일한 타이밍을 갖도록 설계하였다.

2.2.2 FPGA를 이용한 4채널 매트릭스 스위처 구조 설계

그림 6은 신호 재생 모듈로부터 수신한 HDMI 신호 4채널을 복호화 과정을 거쳐 영상데이터메모리에 저장한 다음, 출력 맵핑 테이블에 따라 HDMI 신호 4채널로 부호화 하여 동시 출력할 수 있는 로직 구조이다. One-Chip FPGA로 대용량 UHD HDMI 신호 4개 채널을 동시 처리하기 위해서는 메모리로 전송되는 부분의 효율적인 설계가 중요하다.

본 시스템에서는 입력 2개 채널당 뱅크(Bank) 1개를 할당하여 총 메모리 뱅크 2개를 사용함으로써 메모리 액세스 집중을 분산시켰다. 각 채널의 메모리는 DDR3를 사용하여 1066 Gbps로 동작하도록 DDR 메모리 컨트롤러를 설계하였다.

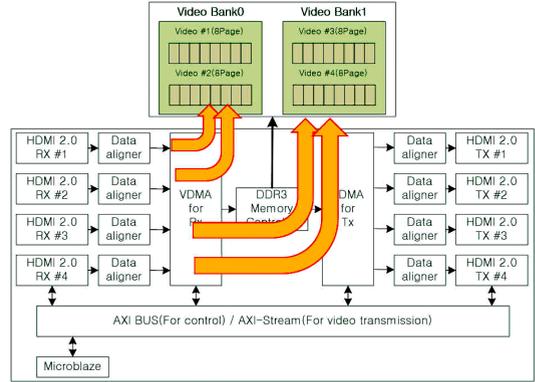


그림 6. 매트릭스 스위처 로직 구조
Fig. 6. Structure of matrix switcher logic

2.2.3 크로마 업샘플러(Chroma up-Sampler)

각 신호 재생 모듈에서 크로마 업플러 또는 컬러 변환(Color space conversion) 동작이 스킵 되게 하여 매트릭스 스위처 블록까지 전달되는 영상 데이터를 YUV420 포맷으로 하였다. 그러나 아직 대부분의 디스플레이 시스템에서는 여전히 YUV422를 선호하기 때문에 대부분의 신호 재생 시스템들은 YUV422을 보편적으로 지원한다¹¹⁾.

본 시스템에서는 디스플레이 시스템들과의 호환성을 위해서 영상 데이터가 출력 Data aligner로 전달되기 직전 YUV420 데이터를 YUV422로 변환하는 크로마 업샘플링 로직을 추가하였다. 크로마 업샘플링 방법은 4채널 동시 지원을 고려하여 그림 7 처럼 UV 데이터를 반복적으로 복사하는 방법을 적용하였다.



그림 7. YUV420->YUV422변환 방법
Fig. 7. Conversion method of YUV420 to YUV422

2.2.4 끊김 없는(Seamless) 비디오채널 전환구현

비디오 신호는 데이터를 전송할 때 동기신호(수직/수평)함께 전달되는 구조를 가지고 있다. 비동기적으로 입력되는 신호에 대해서 모든 출력 채널의 동기 신호가 동일한 타이밍을 갖도록 설계하고, 화면 전환 시 동기 신호가 유지되면서 화면의 내용만 변경되도록 구현하였다.

그림 8은 매트릭스 스위처 블록에서 비동기적으로 입력되는 4개의 비디오 신호에 대해 화면 전환에 따

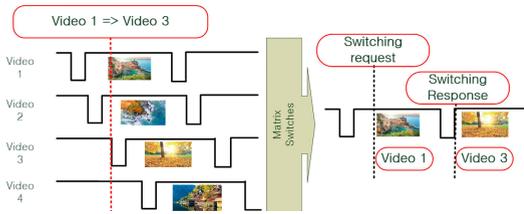


그림 8. 화면 전환 시 출력 신호 변화
Fig. 8. Video output signal changes as video switching

른 출력 신호의 변화를 도식화한 것이다. 화면 전환 요청이 오면 출력 화면의 EOF(End of Frame) 때 까지 대기 후 수직 동기 신호를 그대로 유지하면서 화면 전환을 하도록 하였다.

그림 9는 화면 전환에 따른 FPGA 내부 동작 처리 과정을 도식화 한 것이다. VDMA Engine은 Stop/ReadAddressSet/Start 3가지 동작으로 이루어지고, VDMA Engine과 Data Aligner 사이는 TUSER(SOF), TLAST(EOL), TDATA 3가지 시그널을 기반으로 통신하는 AXI-Stream 프로토콜을 사용한다.

Data Aligner 블록에 EOL(End Of Line) 카운터를 내장 시켜 SOF(Start Of Frame) 신호에 시작하여 EOL(End Of Line) 신호를 카운트하도록 설계하였다. EOL 카운터는 지정한 해상도 수직라인 수량만큼 카운트되면 비디오 전환 요청 확인 후 VDMA Read Address를 업데이트 한다. 화면전환 요청(Switching request)이 오면 이 과정을 거쳐 다음 수직 동기 신호에 맞춰 화면 전환된다.

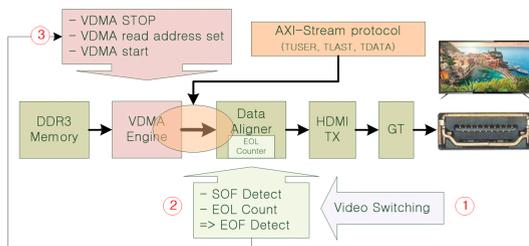


그림 9. 화면 전환 요청에 대한 FPGA 내부 처리도
Fig. 9. FPGA Internal processing chart for video switching requests

III. 제안 시스템의 구현 결과 및 검증

UHD 신호재생 시스템을 단위 기능이 가능하도록 모듈화 하여 4개를 탑재하고, HDMI 4채널 매트릭스 스위처 기능을 One-Chip FPGA로 설계 및 구현하여

그림 10과 같이 하나의 시스템으로 결합하였다. 이것은 신호재생 모듈과 매트릭스 스위처 블록 사이 전송되는 중복 데이터를 제거하여 UHD 4개 채널 신호를 실시간으로 출력 할 수 있고, 매트릭스 스위처 블록 입력/출력 분리 설계를 통해 끊김 없는 화면 전환을 할 수 있다.

3.1 UHD 4채널 비디오 출력 검증

구현된 시스템에 UHD 콘텐츠(3840x2160p30, 10비트) 4개를 개별로 탑재 시키고, UHD TV 4대에 동시 연결하여 그림 10과 같이 실시간 영상이 출력됨을 확인하였다.



그림 10. 구현된 시스템 및 화면 출력 모습
Fig. 10. Implemented systems and video output

3.2 신호 재생 모듈과 매트릭스 스위처 간 전송률 및 메모리 사용량 절감 검증

제안 시스템에서 YUV420 컬러 포맷 영상을 재생 하면서 디스플레이 시스템으로 전송되는 컬러 정보가 YUV422로 출력됨을 확인하였다.

입력 영상의 컬러 포맷은 그림 11 처럼 MediaInfo S/W를 통해 YUV420인 것으로 확인하였고, 출력되는 영상은 그림 12 처럼 YUV422 포맷으로 출력되는 것을 HDMI 신호 분석 장비인 Quantum 980B를 활용하여 검증하였다.

실험을 통해 신호 재생 모듈과 매트릭스 스위처 간 데이터 전송률 및 메모리 사용량 절감을 표 1처럼 기

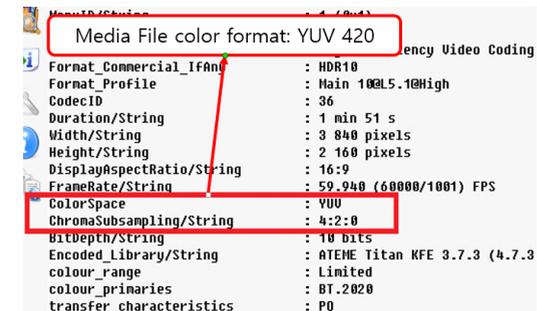


그림 11. 입력영상의 미디어 정보
Fig. 11. Media information in the input video

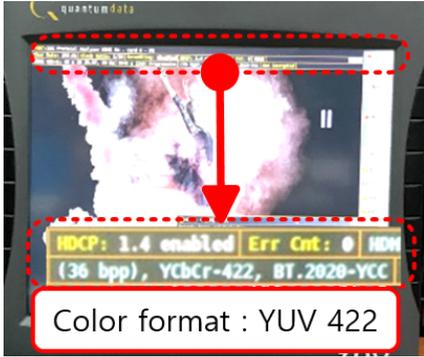


그림 12. YUV422 출력 확인 실험
Fig. 12. Experiment of YUV422 Output

표 1. 데이터 전송률 비교 및 메모리 사용량 비교
Table 1. Compare data transfer rate and memory usage

	4K UHD (Existed)	4K UHD (Proposed)	etc
Resolution	3840x2160	3840x2160	
Color format	YCbCr4:2:2	YCbCr4:2:0	
Frame/sec	30	30	
Scan type	Progressive	Progressive	
Data rate	3Gbps×3	1.75Gbps×3	-40%
Memory usage	19.7Mbytes	14.8Mbytes	-25%

존 방법 대비 제안한 방법이 전송률은 40% 감소하였고, 메모리 사용률은 25% 절감되었음을 확인하였다.

3.3 비 동기적 다중 입력 신호에 대한 끊김 없는 (Seamless) 비디오 전환 검증

구현된 시스템의 각 신호재생 모듈에 FHD(Full High Definition) 영상(1080p60)과 UHD 영상(2160p30)을 탑재 시키고, 화면 출력은 3840x2160 30p로 설정한다. 시스템 전면 사용자 입력 버튼을 이용하여 FHD←UHD 영상 스위칭 경우와 UHD←UHD 영상 스위칭 경우에 대해 그림 13과 같이 Quantum980B HDMI 신호 분석 장비를 활용하여 화면 상단의 신호 정보 표시를 통해 HDMI 신호 끊김을 확인 하였다.

표 2처럼 제안 시스템은 화면 전환 반복 실험 20회에 끊김 없이 화면 전환이 되었고, 그에 반해 기존 시스템⁶⁾은 매회 화면 끊김이 발생하였다.

제안 시스템은 신호 재생 모듈과 매트릭스 스위처 결합하면서 매트릭스 스위처 모듈을 입력출력 분리 설계를 하였기 때문에 화면 전환에도 일관된 동기신

표 2. 화면 전환 시 신호 끊김 비교
Table 2. Compare signal lost during display switching

	Existed	Proposed
UHD ↔ UHD	20 times	0 times
FHD ↔ UHD	20 times	0 times

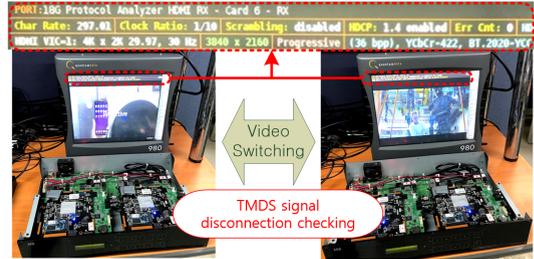


그림 13. 끊김 없는 화면 전환 실험
Fig. 13. Seamless video switching experiment

호를 출력하여 디스플레이 시스템에 신호 끊김이 발생하지 않는다.

반면 개별 시스템들의 조합은 화면 전환 시 신호 재생 시스템의 비동기적인 영상 신호가 그대로 디스플레이 시스템까지 전달되어 HDMI RX부분에서 HPD(Hot Plug Detection)동작이 수행되면서 화면 끊김이 발생한다.

IV. 결 론

본 논문에서는 고속 비디오 처리가 가능한 One-Chip FPGA로 매트릭스 스위처를 설계하고, 다수의 신호재생 시스템을 모듈화 하여 결합한 다중 채널 신호 재생 시스템을 구현하였다. 기존 시스템에 비하여 신호재생 모듈과 매트릭스 스위처 블록 사이 영상 데이터 전송률을 40% 줄일 수 있으며, 메모리 사용률은 25% 줄일 수 있고, 비동기적 다중 동시 입력 신호에 대해 끊김 없는 화면 전환이 가능함을 확인하였다.

적용 분야로는 다수의 신호 재생이 필요한 방송국 또는 사내 방송이나 경기장 장내 방송 등으로 활용 범위가 다양할 것으로 기대한다. 해당 시스템은 확장성을 고려한 모듈화 설계로 신호 재생 모듈을 추가 확장이 가능하며, 화면 출력 매트릭스 스위처 블록은 별도 단일 시스템으로 제작도 가능할 것이다.

이후 연구로는 신호 재생 모듈에 효율적인 S/W설계를 통해 보다 높은 화질의 영상이 재생가능 할 수 있도록 하고, 4개 영상을 결합하여 8K 영상 하나로

출력할 수 있는 시스템을 개발한다면 보급형 8K 재생 시스템이 가능할 것으로 기대한다.

References

[1] J. Kim, S. Bae, J. Yang, and D. Kwon, "Test stream generation method for UHD TV broadcasting standard," *J. KICS*, vol. 41, no. 7, pp. 823-832, Jul. 2016.

[2] K. Suzuki, T. Tajiri, N. Takaba, K. Okuizumi, and J. Nakamura, "Method of downsizing the 4K uncompressed video signal generator," *IEEE 6th GCCE*, Nagoya, Japan, Oct. 2017.

[3] J.-Y. Jung, Y.-S. Cho, D.-J. Choi, and N. Hur, "Implementation of switched digital video using convergence transmission of broadcasting and communication on cable TV broadcasting network," *J. KICS*, vol. 41, no. 3, pp. 359-364, Mar. 2016.

[4] Y. S. Kim, J. H. Seo, B. H. Lee, and H. M. Kim, "Implementation of UHD broadcasting receiver based on ATSC 3.0 standards," *J. Broadcast Eng.*, vol. 23, no. 6, pp. 790-799, Nov. 2018.

[5] S.-J. Jang, S.-S. Lee, and J. W. Kim, "VLSI Architecture for simultaneous capture and playback of 4K UHD audio and video data from multiple channels," *IEEE ICCE-Asia*, Seoul, South Korea, Oct. 2016.

[6] Gefen GTB-HD4K2K-444-BLK document, "4K Ultra 4x4 Martix for HDMI," Gefen, 2015.

[7] Sam Blakket, *HDMI Cable Quality - An Eye for an Eye*(2009), Retrieved Dec. 05, 2019, from <https://hdmi systems.wordpress.com/2009/07/06/hdmi-cable-quality-an-eye-for-an-eye/>

[8] Blackmagicdesign, *ATEM 4 M/E Broadcast Studio 4K techspecs*(2018), Retrieved Dec. 10, 2019, from <https://www.blackmagicdesign.com/kr/products/atem/techspecs/W-APS-10>

[9] C. Lin, K. Chung, and C. Yu, "Novel chroma subsampling strategy based on mathematical optimization for compressing mosaic videos with arbitrary RGB color filter arrays in H.264/AVC and HEVC," *IEEE Trans. Cir.*

and Syst. for Video Technol., vol. 26, no. 9, pp. 1722-1733, Sep. 2016.

[10] Xilinx, *High-Definition Multimedia Interface (HDMI) Product Guide v1.00*, Xilinx, pp. 8-9, May 2015.

[11] Nik Dimitrakopoulos, "UHD 4K end to end broadcast solution over DVB-T2 SFN network using HEVC real time encoding," *J. Broadcast Eng.*, vol. 9, no. 2, pp. 36-45, Apr. 2014.

전 윤 석 (Yoon-seok Jeon)



1998년 2월 : 호남대학교 전자공학과 학사
 2001년 2월 : 동국대학교 전자공학과 석사
 2006년 2월~2020년 1월 : (주) 디지털존 연구소장
 2011년 3월~현재 : 숭실대학교 정보통신공학 박사과정

<관심분야> 임베디드시스템, 다면 영상시스템, 멀티미디어 동기화, 컴퓨터 네트워크

[ORCID:0000-0001-9993-5225]

김 영 한 (Young-han Kim)



1984년 2월 : 서울대학교 전자공학과 학사
 1986년 2월 : 한국과학기술원 전기 및 전자 공학과 석사
 1990년 2월 : 한국과학기술원 전기 및 전자 공학과 박사
 1994년 1월~현재 : 숭실대학교 정보통신전자공학부 교수

<관심분야> 모바일 네트워크, 이동성 관리 기술, SDN/NFV, 센서 네트워크

[ORCID:0000-0002-1066-4818]