

DVB-S2 위성 방송 시스템의 수신기를 위한 효율적인 소프트-결정방식 디매퍼 회로 설계

정희원 유 창 덕*, 종신회원 선우명훈**

Design of an Efficient Soft-Decision Demapper for Demodulator of DVB-S2 System

Chang Duk Ryu* *Regular Member*, Myung Hoon Sunwoo** *Lifelong Member*

요 약

본 논문은 유럽형 위성 방송 표준인 DVB-S2(Digital Video Broadcasting via satellite, Second Generation)에 적용 가능한 위상-구역을 이용한 효율적인 소프트-결정방식 디매퍼 회로를 제안한다. 매우 낮은 SNR 채널 환경에서 안정적인 성능을 달성하고 하드웨어 자원을 효율적으로 사용하기 위하여 본 논문에서는 위상 비교를 위한 비교기와 메모리를 이용한 간단한 소프트-결정방식 디매퍼를 제안한다. 제안한 구조는 소프트 결정방식 디매퍼의 연산 및 비교횟수를 현저히 줄이면서 DVB-S2 표준의 성능을 만족하는 동시에 하드웨어 구조를 약 81% 감소시킬 수 있다. 또한 R&S®SFU (Rohde&Schwarz SFU-K108) 방송 송신 테스트 장비를 이용하여 본 제안된 구조를 구현하여 FPGA 수신 테스트보드에서 시제품 형태로 검증하였다.

Key Words : DVB-S2, Soft-Decision Demapper, APSK, Synchronization, Modem

ABSTRACT

This paper presents an efficient demapper architecture based soft-decision using the phase-section for Digital Video Broadcasting via satellite, Second Generation (DVB-S2). To achieve the satisfactory performance under a very low SNR conditions with the efficient hardware resource utilization, we propose a simple soft-decision demapper architecture using comparators to compare the phase of symbols and memories. The proposed architecture can decrease about 81% of the hardware resource, satisfying the BER requirements of DVB-S2. It has been thoroughly verified with an FPGA board and R&S®SFU (Rohde&Schwarz SFU-K108) broadcast test equipment.

1. 서 론

1990년대 이후 위성 방송은 기존의 지상망이 제한된 섬은 물론 선박, 항공기, 기차 등과 같은 이동 수단의 영역을 담당할 수 있을 뿐만 아니라 채널 상태가 단순하고 대부분의 수신자들에게 고른 품질을 보장할 수 있다는 장점으로 최근 다양한 사용자의 요구를 만족하고 있다. 또한 현재의 추세에 따라 더 높은 품질

의 방송 서비스를 제공하도록 요구 받고 있고 더불어 TV방송 외에 대용량 멀티미디어 통신서비스 등의 신규 서비스 제공이 요구되고 있다. 따라서 94년에 제정되어 전세계에 널리 채택된 유럽형 위성통신 방식의 표준인 DVB-S(Digital Video Broadcasting via Satellite)의 성능 향상이 이루어 졌고, 2004년에 기존 시스템보다 30% 향상된 전송효율을 갖는 DVB-S2 시스템의 표준이 ETSI(European Telecommunications

* 아주대학교 전자공학부 통신 및 멀티미디어 SoC 실험실(mobius2k@ajou.ac.kr), ** 아주대학교 전자공학부 (sunwoo@ajou.ac.kr), 논문번호: KICS2009-07-281, 접수일자: 2009년 7월 6일, 최종논문접수일자: 2010년 3월 13일

Standards Institute)에 의해 만들어 졌다¹¹⁾.

새로 만들어진 DVB-S2 표준에서는 새년(Shannon) 한계에 0.7dB 근접한 성능을 보이는 강력한 오류정정 부호를 도입하고 비선형 증폭기의 특성에 적합한 진폭 위상 변조 방식 계열의 고차변조기법을 채택함으로써 대역폭 효율을 획기적으로 향상시킬 수 있게 되었다.

하지만 DVB-S2 시스템의 다양한 변복조 방식은 기존 DVB-S의 단일 변복조 방식 보다 높은 복잡도를 갖는 복조기를 필요로 하게 되었다. 또한 DVB-S2의 높은 성능을 만족하기 위하여 반복 채널 코딩 방법 (Iterative Channel Coding Method)에서 소프트-결정 방식 방식의 사용은 필수적이 되어 복조기의 복잡도는 크게 증가하게 되었다¹²⁾.

기존의 무선 통신 시스템에서는 디매핑 알고리즘으로 주로 로그 우도 비율(Log Likelihood Ratio) 방식을 사용하여 소프트-결정 방법을 제안하였다^{13,14)}. 하지만 이 방법은 실제 적용시 복잡한 연산으로 인하여 하드웨어로 구현시 매우 큰 면적을 차지하며 높은 파워 소모량이 소모된다. 이러한 문제점을 해결하기 위하여 로그 우도 비율 방식의 로그 연산과 지수 연산을 최대값 연산으로 대체한 최대값(MAX) 방식이 제안되었다¹⁵⁾. 이로 인하여 최대값 방식은 로그 우도 비율 방식에 비해 작은 하드웨어 복잡도를 가지게 되었다.

또 다른 방안으로 유클리드 방식은 채널 예측 값에 대한 의존도를 줄일 수가 있다¹⁶⁾. 하지만 이 방식 역시 제공된 연산을 인해 높은 복잡도를 가지며 로그 우도 비율 과 최대값 방식에 비해 상대적으로 큰 비트 에러 오율을 갖는다. 또한 구역방식¹⁶⁾은 가장 간단하게 소프트-결정방식 값을 연산해 낼 수 있는 장점이 있지만 높은 차수의 변조방식에서 낮은 성능을 가지므로 DVB-S2 전체의 변조 방식을 지원하기에 힘들다.

본 논문에서는 저 복잡도의 소프트 디매핑 회로 설계를 위하여 비트 에러 오율 및 하드웨어 복잡도에서 가장 높은 성능을 보이는 최대값 방식을 기반으로 구역에 따라 간단한 연산으로 대체하는 구조를 제시하였으며 특히 이를 이용하여 다양한 변조 방식을 지원할 수 있는 효율적인 통합구조를 제시하고자 하였다.

본 논문의 구성은 다음과 같다. 2장에서는 기존의 소프트-결정방식 디매핑 방식을 비교하여 가장 적합한 방식을 선정한다. 3장에서는 2장에서 선정한 방식을 바탕으로 효율적인 소프트-결정방식 디매핑 방법을 제안한다. 4장에서는 3장에서 제안한 구조의 구현 및 구현 결과를 비교하며 끝으로 5장에서 결론을 맺는다.

II. 선행연구 디매퍼 알고리즘 분석

본 장에서는 DVB-S2 소프트 디매퍼의 여러 디매핑 알고리즘에 대해 분석하고 최적의 성능을 얻을 수 있는 디매핑 알고리즘을 선정 분석한다.

2.1 로그 우도 비율(LLR) 방식

기존의 무선 통신 시스템에서 로그 우도 비율 (LLR) 방식이 소프트 디매핑 방식에서 넓게 연구되어 왔다^{3,4)}. 백색잡음과 보상되지 않은 주파수 에러(f_e)와 위상(θ)를 갖는 복소 변조 심볼의 시퀀스는 식 (1)과 같이 표현 가능하다.

$$r_k = a_k e^{j(2\pi k f_e T + \theta)} + n_k \quad (1)$$

여기서, a_k 는 보내고자 하는 변조 심볼, T는 심볼 간격을 나타내며 n_k 는 σ^2 의 분산을 갖는 백색잡음의 복소 시퀀스를 나타낸다.

우선, 그림 1의 8PSK 변조 방식을 보면 각각의 심볼은 3개의 비트로 표현되어지고 식 (2)는 백색잡음 채널을 통과하여 수신된 심볼의 확률 밀도 함수를 나타낸다.

$$P_i = \frac{1}{\sqrt{2\pi\sigma^2}} e^{-\frac{|r - s_i|^2}{2\sigma^2}}, \quad i = 0, \dots, 7 \quad (2)$$

식 (2)에서 s_i 는 성상도 상의 성좌점을 나타내며 σ^2 은 백색잡음의 분산도를 나타낸다. 로그 우도 비율을 이용한 소프트-결정 방식의 값은 식 (3)의 형태로 표현 가능하다.

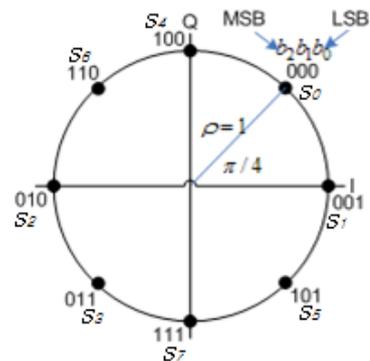


그림 1. 8PSK 성상도

$$\begin{aligned}
 LLR(b_2) &= \log \frac{P_0 + P_1 + P_2 + P_3}{P_4 + P_5 + P_6 + P_7} \\
 LLR(b_1) &= \log \frac{P_0 + P_1 + P_4 + P_5}{P_2 + P_3 + P_6 + P_7} \\
 LLR(b_0) &= \log \frac{P_0 + P_2 + P_4 + P_6}{P_1 + P_3 + P_5 + P_7}
 \end{aligned} \quad (3)$$

식(2) 와 식(3)을 보면 로그 우도 비율 방식은 심볼과 성좌점 사이의 거리 연산을 위하여 제곱 연산을 필요로 하며 최종적으로 로그 우도 비율을 구하기 위하여 지수 및 로그 연산을 필요로 한다. 이 연산은 하드웨어 복잡도를 크게 높이므로 하드웨어 구현에는 비효율적임을 알 수 있다.

2.2 최대값(MAX) 방식

기존의 로그 우도 비율 방식의 복잡도를 줄이기 위하여 최대값 방식이 제안되었다⁵⁾. 지수 함수의 성질을 사용하면 식 (3)의 지수 및 로그 연산을 줄일수 있다.

$$\begin{aligned}
 LLR(b_2) &= \max(P_0, P_1, P_2, P_3) - \max(P_4, P_5, P_6, P_7) \\
 LLR(b_1) &= \max(P_0, P_1, P_4, P_5) - \max(P_2, P_3, P_6, P_7) \\
 LLR(b_0) &= \max(P_0, P_2, P_4, P_6) - \max(P_1, P_3, P_5, P_7)
 \end{aligned} \quad (4)$$

식(4)의 P_i 는 식 (2)의 확률 밀도 함수에서 지수부가 되어 식 (5)과 같이 표현된다.

$$P_i = \frac{-|r - s_i|^2}{2\sigma^2}, \quad i = 0, \dots, 7 \quad (5)$$

2.3 유클리드(Euclidean) 방식

유클리드 방식은 식 (3)과 식 (5)에서 나타나는 채널 예측 값의 곱셈을 줄인 연산으로 유클리드 방식의 연산은 식 (6)과 같이 정의된다⁶⁾.

$$d_i = \sqrt{(r - s_i)^2}, \quad i = 0, \dots, 7 \quad (6)$$

$$\begin{aligned}
 LLR(b_2) &= \min(d_0 + d_1 + d_2 + d_3) - \min(d_4 + d_5 + d_6 + d_7) \\
 LLR(b_1) &= \min(d_0 + d_1 + d_4 + d_5) - \min(d_2 + d_3 + d_6 + d_7) \\
 LLR(b_0) &= \min(d_0 + d_2 + d_4 + d_6) - \min(d_1 + d_3 + d_5 + d_7)
 \end{aligned}$$

하지만 유클리드 방식 역시 제곱근 및 제곱 연산을 필요로 하므로 최대값 연산에 비해서 큰 하드웨어 복잡도를 갖는다.

2.4 구역(Sector) 방식

구역 방식은 식(6)의 제곱 및 제곱근 연산을 수신된

심볼의 I/Q 채널 값을 이용하여 줄이는 방식이다⁶⁾. 구역 방식에 의하면 각각의 로그 우도 비율은 아래와 같이 정의된다.

$$\begin{aligned}
 LLR(b_2) &= |r_I| \\
 LLR(b_1) &= |r_Q| \\
 LLR(b_0) &= \begin{cases} r_Q - r_I, & r_I \geq 0, r_Q \geq 0 \\ r_Q + r_I, & r_I < 0, r_Q \geq 0 \\ r_I - r_Q, & r_I < 0, r_Q < 0 \\ -r_Q + r_I, & r_I \geq 0, r_Q < 0 \end{cases} \quad (7)
 \end{aligned}$$

하지만 구역 방식의 비트 오율은 유클리드 방식에 비해 같은 비트 오율에서 0.1dB정도의 성능 감퇴가 일어나며 DVB-S2의 진폭 위상 병조 방식에 부적합하다.

실험적 결과에 의하여 최대값 방식은 최대우도 LLR 방식에 0.1dB이하의 비트 에러 오율 성능의 하락을 가지지만 DVB-S2 표준에 성능에 만족하면서 LLR에 비해 확연히 작은 하드웨어 크기를 가지므로 본 논문에서는 최대값 방식을 기반으로 소프트-결정 방식 디매퍼를 선정하였다.

III. 제안하는 소프트-결정방식 디매퍼

본 절에서는 직접구현의 복잡도를 획기적으로 줄일 수 있는 심볼의 위상 정보를 이용한 최대값 방식 기반의 소프트-결정방식 디매퍼를 제시한다. 또한 심볼의 위상 정보를 이용하여 기존의 연산기 구조를 간략화하고 고차 변조 방식에 적용 가능한 구조를 제안하고자 한다.

3.1 PSK계열 소프트-결정방식 디매퍼의 구조

최대값 방식의 연산은 로그 우도 비율 방식에 비해서 복잡도를 갖으나 식 (2)의 P_i 를 구하는 연산 회로의 개수가 각 심볼당 비트 수를 N이라 할때 고차의 변조 방식으로 갈수록 2^N 의 증가율을 가지며 증가하며 최대값을 산출하는 비교연산의 경우에도 고차의 변조 방식에서 많은 비교 회로를 필요로 한다.

따라서 다양한 변조 방식을 지원해야 하는 DVB-S2 표준에서는 직접 구현은 높은 복잡도를 가지게 된다. 본 논문에서는 이러한 복잡도를 줄이기 위하여 최대값 지점을 미리 선정하여 연산기 회로를 줄이는 방식을 사용하고자 한다. 수신기에 의해 수신된 심볼은 식 (1)로 표현이 가능하고 반송파 동기 회로를 거친 심볼은 최종적으로 식(8)로 표현이 가능하다.

$$r_k = a_k + n_k \quad (8)$$

여기서 a_k 는 보내고자 하는 변조 심볼, n_k 로 표현되는 백색 잡음을 제외하면 수신된 심볼은 성좌상에서 위상 값만을 가지는 단위원의 값이 되므로 수신된 심볼은 성좌 점과 위상차의 비교만으로 거리의 비교가 가능해진다.

그림 2의 QPSK 성좌도에서처럼 같이 I값과 Q값을 이용하여 네 개의 위상 구역으로 나누면 특정 비트의 성좌점에 대해 인접한 심볼 여부를 파악할 수 있다. 그림 2에서 1사분면에 위치한 심볼들은 최상위 비트(MSB)에 대해서 1의 값을 가지는 두 개의 성좌점 중에 s_2 가 가장 인접하고 0의 값을 가지는 두 개의 성좌점 중에 s_0 가 가장 인접한 성좌점이 된다. 따라서 식 (9)의 최대값 연산의 결과는 연산을 수행하지 않아도 각각 P_0 와 P_2 의 값으로 연산됨을 예측할 수 있다.

$$LLR(b_1) = \max(P_0, P_1) - \max(P_2, P_3) = P_0 - P_2 \quad \text{where } I \geq 0, Q \geq 0 \quad (9)$$

$$P_i - P_j = -1/2\sigma^2 (|r_k - s_j|^2 - |r_k - s_i|^2) = -1/2\sigma^2 (-2Re(r_k)Re(s_j) - 2Im(r_k)Im(s_j) + 2Re(r_k)Re(s_i) + 2Im(r_k)Im(s_i)) = -1/\sigma^2 \{Re(r_k)Re(d_{ij}) - Im(r_k)Im(d_{ij})\} \quad (10)$$

$(d_{ij} = s_i - s_j)$

여기에 같은 크기를 갖고 위상 신호의 확률 밀도 함수인 P_i 와 P_j 가 이 서로 다른 두 성좌점에서의 P_{ij} 의 차는 수식을 정리하면 식 (10)으로 표현이 가능하므로 이를 이용하면 1사분면 위상 구역에 대해

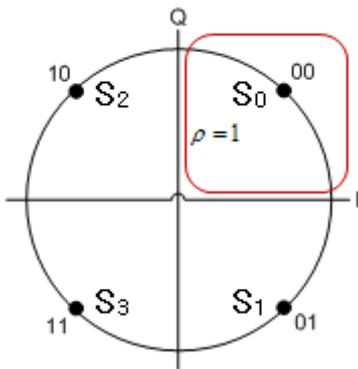


그림 2. QPSK 성좌도 및 위상 구역 설정

최상위 비트(MSB)의 로그 우도 비율 값은 식 (11)와 같이 나타낼 수 있다.

$$LLR(b_1) = P_0 - P_2 = -1/\sigma^2 \{Re(r_k)Re(d_{02}) - Im(r_k)Im(d_{02})\} = -1/\sigma^2 \cdot Re(r_k)2\cos(\pi/4) \quad (11)$$

$(d_{02} = 2\cos(\pi/4))$

식 (9)에서 식 (11)의 과정을 모든 위상 구역에서 최상위 비트 및 최하위 비트(LSB)에 대해서 수행하면 식 (12)의 결과를 얻을 수 있다.

$$LLR(b_1) = -2\cos(\pi/4)/\sigma^2 \cdot Re(r_k) \\ LLR(b_0) = -2\sin(\pi/4)/\sigma^2 \cdot Im(r_k) \quad (12)$$

8PSK 변조 방식의 경우 수신된 심볼을 $\pi/8$ 만큼 위상 이동 시키면 QPSK와 같은 위상 구역의 설정이 가능하다. 8PSK 변조방식은 8개의 성좌점으로 분포되므로 QPSK와 달리 8개의 구역 설정이 필요하고 각 위상 구역에서 최상위 비트의 로그 우도 비율에 대해 식 (9)부터 식 (12)까지 해당하는 과정을 수행하면 식 (13)을 얻을 수 있다.

$$LLR(b_2) = K_1/\sigma^2 \cdot Re(r_k) + K_2/\sigma^2 \cdot Im(r_k) \\ K_1 = Re(s_{imax} - s_{jmax}) \\ K_2 = Im(s_{imax} - s_{jmax}) \\ K_1 \approx \begin{cases} -0.707 & I \geq 0, Q \geq 0 \\ 0.293 & I < 0, Q \geq 0 \\ 0.707 & I < 0, Q < 0 \\ -0.293 & I \geq 0, Q < 0 \end{cases} \\ K_2 \approx \begin{cases} 0.293 & I \geq 0, Q \geq 0 \\ 0.707 & I < 0, Q \geq 0 \\ -0.293 & I < 0, Q < 0 \\ -0.707 & I \geq 0, Q < 0 \end{cases} \quad (13)$$

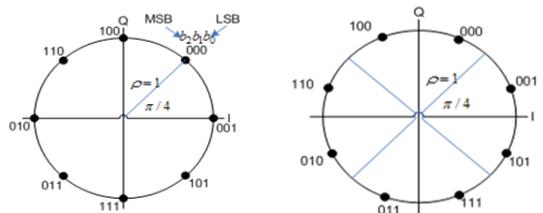


그림 3. 8PSK 위상 이동 및 위상 구역

3.2 APSK계열 소프트-결정방식 디매퍼의 구조

16APSK 및 32APSK의 고차 진폭 위상 편이 변조 방식은 위상 편이 변조방식과 달리 각 심볼의 파워가 다르므로 진폭에 따른 위상 구역을 따로 설정하는 방식을 제안한다.

그림 4에서는 16APSK의 각 진폭별 성좌도를 나타낸다. 그림 4에서는 16APSK 성좌도는 반지름이 바깥쪽 원은 R_1 과 안에 원은 R_2 인 서로 다른 원으로 구성되어 있으며 각 원의 reference symbol은 균일하게 분포하고 있다. 따라서 위 그림 4에서 각각의 최고 지점에 대한 로그 우도 비율을 수식으로 나타내면 식 (14)와 같다.

$$LLR(b_3) = \log \frac{e^{P_{i1_{max}}} + e^{P_{o1_{max}}}}{e^{P_{i2_{max}}} + e^{P_{o2_{max}}}} \quad (14)$$

식 (14)에서 $P_{i1_{max}}$ 는 그림 4의 안쪽 링에서 최상위 비트가 0이 되는 지점의 PDF 값의 최대값을 나타내며 $P_{o1_{max}}$ 는 그림 4의 바깥쪽 링에서 최상위 비트가 0이 되는 지점의 파워값을 나타낸다. $P_{i2_{max}}$ 는 최상위 비트가 1인 안쪽 링에서의 PDF의 최대값을 나타내며 $P_{o2_{max}}$ 는 최상위 비트가 1인 바깥쪽 링에서의 PDF의 최대값을 나타낸다. 최대값 방식을 사용하면 수식은 식 (15)와 같이 전개 된다.

$$LLR(b_3) = \max(P_{i1_{max}}, P_{o1_{max}}) - \max(P_{i2_{max}}, P_{o2_{max}}) \quad (15)$$

식 (15)에서 보듯이 안쪽의 링과 바깥쪽 링에 대한 추가적인 비교가 필요하며 구하고자 하는 파워값은 성좌점에서 심볼간의 거리에 따라 크기가 증가하므로 P_i 를 비교하는 대신 식 (16)의 D_i 를 비교함으로써 간단하게 최대값을 구할 수 있다.

$$S = \min(D_1, D_2) \quad D_i = |r_i - s_i| \quad (16)$$

이를 이용하여 정리한 수식은 식 (9)의 꼴로 나타내어지므로 이를 정리하면 식 (12)나 식 (13)의 모양을 나타내는 식을 얻을 수 있다.

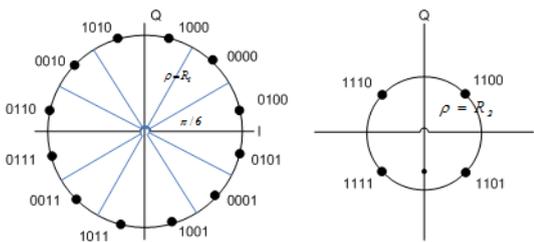


그림 4. 16APSK 진폭별 위상구역의 분리

32APSK의 진폭 위상 편이 변조 방식 역시 진폭별로 위상구역을 설정한다. 32APSK 성상도의 최상위 링은 8PSK와 마찬가지로 축(axis)에 성좌점이 분포한다. 간단한 위상 구역 설정을 위해 최상위 링만 8PSK와 마찬가지로 $\pi/16$ 만큼 회전 시켜 주는 것으로 16APSK와 같은 방식으로 소프트-결정방식 디매퍼를 진행한다.

IV. 제안한 하드웨어 구조 및 구현 결과

본 장에서는 DVB-S2의 진폭 위상 편이 변조 방식과 위상 편이 변조 방식을 통합하는 하드웨어 구조를 제안한다. 또한 이를 구현한 결과를 바탕으로 하드웨어 효율성에 대해 제시한다.

4.1 통합 소프트-결정방식 디매퍼 구조

III장에서 제안한 방식을 바탕으로 통합 소프트-결정방식 디매퍼를 구현하였다. 각 위상 구역별로 공통된 부분을 찾아 비교회로를 통합하고 각 연산기로 들어가는 상수를 메모리(Look Up Table)에 저장하여 변조 방식에 따라 다른 상수를 입력시킴으로써 로그 우도 비율을 연산하는 연산기를 통합한다.

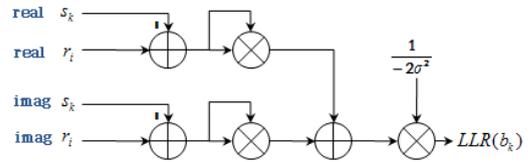


그림 5. 최종 연산기 구조

4.2 구현 결과

표 1은 제안된 소프트-결정방식 디매퍼의 전체 변조박이에 대하여 Verilog 코드로 작성하여 Xilinx Virtex IV-LX200 FPGA를 이용하여 합성하였을 때 구현 결과를 나타낸다. 표에서 볼 수 있듯이 기존의 최대값 알고리즘의 직접 구현에 비해 약 81% 정도의 하드웨어 사용률 감소를 갖으며 R&S[®]SFU (Rohde & Schwarz SFU-K108)를 사용하여 그 동작을 검증하

표 1. 제안한 구조의 하드웨어 비교

	직접구현	제안한 구조
LUTs	62131	11354
Slices	37138	7210
Gates	805923	184890
FPGA Using	34%	6.21%

였다.

V. 결 론

본 논문은 DVB-S2 시스템의 복조기에서 중요한 요소인 소프트-결정방식 디매핑에 대해 다루었다. 여러 디매핑 알고리즘을 분석 최적의 하드웨어 성능을 갖는 최대값 알고리즘을 채택하였고 심볼의 위상정보만으로 성좌도에서 위치하는 지점을 미리 선정하여 비교량을 줄이고 최대값 함수를 없앴으로써 간단한 연산기를 이용한 하드웨어 구조를 제안하였다. 또한 간단한 추가 비교를 통하여 진폭 위상 편이 변조 방식과의 통합 구조를 제안하였다. 특히 심볼의 위상 정보를 이용한 연산량 감소는 전체 회로의 크기를 줄임과 동시에 연산 복잡도를 줄여 비용 감소 및 효율적인 설계를 가능하게 하였다.

본 논문에서 제안한 하드웨어 구조는 연산회로를 제안된 하드웨어 구조로 인하여 DVB-S2 수신 칩의 생산 비용을 낮추고 셋톱박스의 전력 소모량을 줄이는 성과를 낼 수 있을 것이다. 또한 DVB-S2와 같이 다양한 변조방식을 지원하는 통신 표준에서는 비슷한 방법을 응용하여 사용할 수 있을 것으로 기대한다.

참 고 문 헌

[1] Digital video broadcasting (DVB); User guidelines for the second generation system for broadcasting, interactive services, news gathering and other broad-band satellite applications (DVB-S2), *European Telecommunications Standards Institute (ETSI)*, TR 102 376, 2005.

[2] S. Morosi, R. Fantacci, E. Del Re, R. Suffritti, "Soft Demapping and Iterative Decoding for Satellite Communications," in Proc. *IEEE International Conference on Communications*, June, 2007.

[3] S. Allpress, C. Luschi, and S. Felix, "Exact and approximated expressions of the log-likelihood ratio for 16-QAM signals", in Proc. *38th Asilomar Conference on Signal, System and Computer*, Nov. 2004.

[4] Seung H. Choi, Cheon In Oh, D. Oh, D. Chang, "The Mapping and demapping algorithms for high order modulation of DVB-S2 systems," in Proc. *Asia-Pacific Conference on Communi-*

cations, Aug. 2006.

[5] I. Lee, D. Chang and D. Oh, "Multi-Level Modulation LDPC Decoding Algorithm for New Generation DVB-S2 System," in Proc. *24th AIAA International Communications Satellite Systems Conference*, June, 2006.

[6] Jin Hee Jeong, Duk Gun Choi, Ji Won Jung, "Low Density Parity Check Decoding Algorithm for Multi-level Modulation Scheme," in Proc. *Asia-Pacific Conference on Communications*, Aug. 2005

유 창 덕 (Chang Duk Ryu)

정회원



2007년 8월 아주대학교 전자공학
학부
2007년 9월~2009년 2월 아주
대학교 전자공학과 석사과정
2009년 2월~현재 LG전자
MC 연구소 근무 중
<관심분야> 전자공학, 통신공학

선우명훈 (Myung Hoon Sunwoo)

종신회원



1980년 2월 서강대학교 전자
공학과
1982년 2월 한국과학기술원 전
자공학과 석사
1982년 3월~1985년 8월 한국
전자통신연구소(ETRI)
1985년 9월~1990년 8월 Univ.

of Texas at Austin 전자공학과 박사
1992년 8월~1996년 10월 아주대학교 전기전자 공
학부 조교수
1996년 10월~2001년 9월 아주대학교 전자공학 부
부교수
2001년 10월~현재 아주대학교 전자공학부 교수
<관심분야> VLSI 및 Parallel Architecture, 통신
멀티미디어용 DSP 칩 및 SoC 설계