

광대역 가변 채널 전이중 통신 시스템을 위한 아날로그 자기간섭 제거 설계

강인웅*, 곽종우*, 박재돈**, 채찬병^o

Design of Analog Self Interference Cancellation for Wideband Variable Channel Full-Duplex Communication Systems

In-Woong Kang*, Jong Woo Kwak*, Jae Don Park**, Chan-Byoung Chae^o

요약

전이중 기술은 동일 대역 및 시간에 송신과 수신을 수행함으로써 주파수 이용 효율을 최대 2배로 향상시키는 기술이다. 본 논문은 광대역 가변 채널 전이중 통신 시스템을 위한 TDL 방식의 아날로그 자기간섭 제거 설계에 있어서 TDL 회로의 탭 수의 증가에 따른 TDL 자기간섭제거 회로의 성능을 분석하고 이를 토대로 TDL 탭 수의 설계 방법을 제안한다. 뿐만 아니라, TDL 회로의 고정 지연시간 설정 방법에 따른 자기간섭 채널 추정 성능을 분석하고 이에 따라 고정 지연시간 설계 방법을 제안한다.

키워드 : 전이중 통신, 아날로그 자기간섭 제거, 광대역 가변 채널, TDL ASIC 설계, 점대점 통신

Key Words : Full-duplex communications, analog self interference cancellation, wideband variable channel, TDL ASIC design, point-to-point communications

ABSTRACT

Full duplex techniques are expected to double the spectral efficiency of the terminal by transmitting and receiving simultaneously over the same frequency band. This paper presents the analysis results on the performance of self-interference cancellation with increasing number of taps in TDL circuit in analog self-interference cancellation module and based on the analysis this paper proposes a design method for selecting the number of taps of TDL ASIC circuit. In addition, this paper presents the analysis results on the performance of self-interference estimation performance with two different fixed delay design methods in TDL ASIC circuit and proposes a proper design method for the fixed delays.

I. 서론

동일대역 전이중 통신 기술, 즉 동일 주파수 대역에

서 동시에 송신과 수신을 가능하게 하는 기술은 이 기술로 인해 얻는 주파수 이용 효율의 향상에 대한 기대로 인해 다양한 관점에서 연구가 이루어져 왔다^{1-3,11)}.

※ 이 논문은 2022년 정부의 재원으로 수행된 연구 결과임.

• First Author : Agency for Defense Development, Korea, iwkwang@add.re.kr, 정회원

^o Corresponding Author : School of Integrated Technology, Yonsei Institute of Convergence Technology, Yonsei University, Korea, cbchae@yonsei.ac.kr, 중신회원

* School of Integrated Technology, Yonsei Institute of Convergence Technology, Yonsei University, Korea, 학생회원

** Agency for Defense Development, Korea, 정회원

논문번호 : 202205-101-A-RN, Received May 17, 2022; Revised July 20, 2022; Accepted July 20, 2022

상용통신 표준 중 WiFi 표준과 IMT 이동통신 표준에 전이중 통신을 적용하고자 하는 작업이 수행 중이며^[8], 학계에서도 전이중 통신의 이론적인 효과뿐만 아니라 최근에는 다양한 관점에서의 구현연구 결과가 발표되고 있다^[9].

전이중 통신기의 수신기에는 무선 채널을 통과하여 수신되는 목적 신호(desired signal)와 자기간섭 신호가 동시에 수신되는데, 자기간섭 신호를 충분히 제거하지 못하면 상대적으로 신호 세기가 약한 목적 신호가 수신기의 ADC에 의해 왜곡되게 된다^[6, 7]. 이를 방지하기 위해 ADC 이전 단계에서 수동 억압(PS, passive suppression)과 아날로그 자기간섭 제거(ASIC, analog self-interference cancellation)를 통하여 자기간섭 신호가 세기를 감소시키고, 남은 자기간섭 신호는 디지털 자기간섭 제거를 통해 추가로 제거하여 목적 신호 복조를 위한 신호대잡음비를 확보한다.

아날로그 자기간섭 제거에는 자기간섭 채널 정보를 이용한 TDL(tap delayed lines) 방식이 널리 이용된다. TDL 구조의 ASIC 설계 시 자기간섭 제거 성능, 하드웨어 구조, 자기간섭 제거 기능 동작에 필요한 지연 등의 사항들이 고려되어야 한다. 이와 같은 사항들은 TDL의 수와 각각의 TDL의 고정 지연 시간의 설계와 관련이 있다. [8]은 이론적으로 TDL의 수가 자기간섭 다중경로 채널의 탭 수와 같아질 때 가장 우수한 ASIC 성능을 보임을 제시하였고, [9]는 전이중 통신 채널의 대역폭과 delay spread가 커짐에 따라서 최대 ASIC 성능을 위해 요구되는 TDL의 수가 증가함을 모의실험을 통해 제시하였다. [8]과 [9]의 이론적인 분석결과에서 TDL의 수를 10 ~ 1000개로 가정하였는데, [9]는 실제 하드웨어 구현시 TDL 수의 증가에 따른 신호의 삽입 손실(insertion loss) 증가에 의해 수십 MHz를 넘는 광대역 채널에서는 TDL 수의 증가에 의한 ASIC 성능 향상을 기대할 수 없음을 시스템 제작과 실험을 통해 확인하였다.

TDL의 고정 지연 시간의 설계는 추정 대상인 자기간섭 채널의 응답 특성을 고려한다. [10]은 TDL 방식의 ASIC를 구현할 경우 제거하고자 하는 자기간섭 채널의 다중경로의 최대 지연 시간에 따라 TDL의 최대 지연 시간을 설정하였다. 이와 같은 방식은 자기간섭 채널 응답이 변경되는 경우 TDL의 지연 시간 설정도 하드웨어의 물리적인 수정이 요구되어 실제 전이중 통신기 제작에 적용할 수 없다.

본 논문은 가변 주파수 선택적 채널에 대해 우수한 성능을 보이는 TDL 자기간섭 제거기의 TDL의 수와 각 탭의 지연시간 설정의 설계 방법을 제안한다. 이와

같은 설계 방법의 제안에 앞서 2장은 본 논문에서 고려하는 전이중 통신 시스템 모델을 설명한다. 3장은 TDL 아날로그 자기간섭제거 회로의 탭 수 증가에 따른 자기간섭채널 추정 오차 성능 분석 및 TDL 회로의 고정 지연시간 설정 방식에 따른 자기간섭채널 추정 오차 성능 분석 결과를 제시한다. 이들 분석 결과를 토대로 TDL 회로의 탭 수 및 고정 지연시간 설계 방법을 제시하고, 4장에서 본 논문의 결론을 도출한다.

II. 시스템 모델

그림 1은 전이중 통신 시스템 중 전력 증폭기(PA, power amplifier)부터 저잡음 증폭기(LNA, low noise amplifier)에 이르기까지의 ASIC, PS, 무선 자기간섭 채널을 도시한 블록 다이어그램이다. 전력 증폭기 출력 (x_{PA})은 송신 안테나에서 무선 채널로 송출된 후 반사체에 의해 다중경로 채널($h_{SL,W}$)을 겪은 형태로 수신 안테나에 수신되는 신호와 송신 안테나에서 수신 안테나로 직접 커플링($h_{SL,PS}$)된 신호가 더해져서 전체 자기간섭 신호(x_{PS})를 형성한다. 자기간섭 신호를 제거하기 위한 ASIC는 TDL 블록과 TDL 내의 감쇄(α_n), 위상(ϕ_n)을 업데이트하는 튜닝 블록으로 구성되어있다. 아날로그 자기간섭 제거가 이루어진 잔여 자기간섭 신호(x_{ASIC})를 아래 수식으로 정리한다.

$$x_{ASIC}(t) = x_{PS}(t) - x_{TDL}(t) = x_{PA}(t) * h_{SI}(t) - x_{PA}(t) * h_{TDL}(t). \quad (1)$$

(1)의 h_{TDL} 은 TDL 각 라인의 기본 응답(h_f)에 시간 지연(τ_i), 감쇄(α_i), 위상(ϕ_i)이 적용된 것으로 다음과 같이 모델링한다.

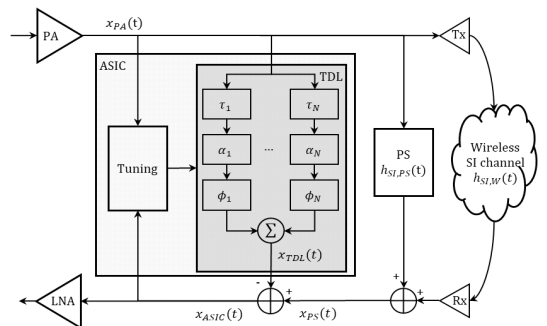


그림 1. ASIC, PS와 자기간섭 채널의 블록 다이어그램
Fig. 1. Block diagram of ASIC, PS and self interference channel.

$$h_{TDL}(t) = \sum_{i=1}^N \alpha_i e^{j\phi_i} h_f(t - \tau_i). \quad (2)$$

이를 주파수 영역으로 변환하면 아래 수식과 같이 표현된다:

$$\begin{aligned} H_{TDL}[k] &= H_f[k] \sum_{i=1}^N \alpha_i e^{j\phi_i} e^{-j2\pi B / Kk\tau_i} \\ &= H_f[k] \mathbf{X}_k^T \mathbf{W}. \end{aligned} \quad (3)$$

(3)의 B와 K는 각각 대역폭과 주파수 영역 샘플 수이며 k는 주파수 영역 샘플 번호이며 \mathbf{X}_k 와 \mathbf{W} 는 각각 아래와 같다:

$$\mathbf{X}_k = [e^{-j2\pi B / Kk\tau_1}, \dots, e^{-j2\pi B / Kk\tau_N}]^T \quad (4)$$

$$\mathbf{W} = [\alpha_1 e^{j\phi_1}, \dots, \alpha_N e^{j\phi_N}]^T. \quad (5)$$

각각의 TDL을 구성하는 시간 지연은 특정 지연 시간으로 고정한다. 감쇄와 위상값은 [10]에서 제안한 위너 솔루션(Wiener solution) 방식으로 다음 수식과 같이 설정한다:

$$\mathbf{W}_0 = E[\overline{\mathbf{X}_k \mathbf{X}_k^T}]^{-1} E[H_{SF}[k] \overline{\mathbf{X}_k}]. \quad (6)$$

(6)의 $H_{SF}[k]$ 는 측정된 자기간섭 채널의 주파수 응답이다.

본 논문은 전이중 통신 기술이 적용될 시스템이 채널의 중심 주파수와 대역폭을 변경할 수 있다고 가정하며, 전체 채널은 주파수 선택적 채널로 가정한다. 이에 따라, 서로 다른 중심 주파수와 대역폭의 채널은 상이한 채널 응답을 나타내게되어 채널이 변화하면 전이중 통신 기술로 제거해야할 자기간섭채널 또한 변화함을 의미한다.

III. 가변 채널을 고려한 TDL 설계

TDL을 이용하여 제거할 자기간섭 채널은 그림 1에서 도시하는 바와 같이 h_{SLPS} 와 h_{SLW} 로 이루어져 있다. PA로부터 안테나까지 수 미터 이상의 길이의 케이블로 연결되기 때문에 PA 출력 신호가 겪는 h_{SLPS} 에는 케이블에 의한 신호 왜곡과 송수신 안테나 커플링에 의한 신호 왜곡이 포함된다. 그림 2는 이중극성(dual-polarization) 안테나와 케이블에 의한 자기

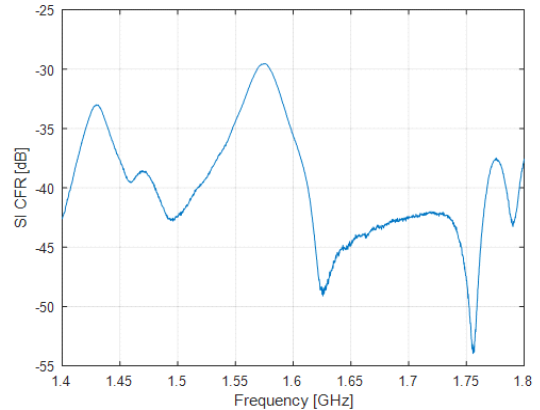


그림 2. 송수신 안테나 커플링과 연결 케이블에 의한 자기간섭 채널 주파수 응답
Fig. 2. Self interference CFR resulting from Tx/Rx antenna isolation and cable.

간섭 채널 주파수 응답(CFR, channel frequency response) 측정 결과를 도시한다. 그림 2와 같이 주파수 선택적 자기간섭 채널 내에서 통신 채널이 변화(중심 주파수, 대역폭)할 경우 통신 채널마다 다른 CFR의 자기간섭 채널을 극복해야한다. 본 장에서는 이와 같은 가변 자기간섭 채널 상황에서 TDL 방식의 아날로그 자기간섭 제거기 설계에 있어서 적절한 TDL의 수와 TDL의 시간지연 값 설정 방법을 제안한다.

3.1 TDL의 탭 수

TDL 회로 내의 탭 수에 따른 자기간섭채널 추정 성능을 분석하기 위하여 아래와 같이 자기간섭채널 추정 오차를 정의한다:

$$\epsilon_{ASIC} = E\{ \| h_{SF}(t) - h_{TDL}(t) \|^2 \}. \quad (7)$$

TDL 회로 응답 $h_{TDL}(t)$ 은 위 수식(2)에서 정의하며 시간 지연 값은 일정 값으로 고정되며, 수식 (6)의 방식으로 감쇄(α_i)와 위상(ϕ_i) 값을 결정한다.

아래 그림 3은 자기간섭채널 추정 오차를 데시벨로 도시한다. 채널 추정 오차를 계산함에 있어 TDL 회로의 채널 임펄스 응답 추정 오차를 10, 30, 60 dB로 설정하였다. TDL의 탭 수가 1부터 14까지 증가함에 따라 자기간섭채널 추정 오차 성능이 전반적으로 향상되긴 하지만, 일정 탭 수 이상에서는 오차 성능의 향상이 포화됨을 확인하였다.

탭 수의 증가가 TDL 회로에 미치는 또 다른 영향으로 수식 (6)의 위너 솔루션에 포함된 자기상관행렬 ($\overline{\mathbf{X}_k \mathbf{X}_k^T}$)의 행과 열의 크기가 탭 수에 따라 증가하여

$\overline{\mathbf{X}}_k \mathbf{X}_k^T$ 의 조건수(condition number)를 증가시킨다는 점이 있다. 자기상관행렬의 조건수는 아래 수식과 같이 정의하며 그림 4는 그림 3의 자기간섭채널의 채널 임펄스 응답 추정오차를 동일하게 적용한 $\overline{\mathbf{X}}_k \mathbf{X}_k^T$ 의 조건수를 도식한다:

$$\kappa(\overline{\mathbf{X}}_k \mathbf{X}_k^T) = \|\overline{\mathbf{X}}_k \mathbf{X}_k^T\| \|\overline{\mathbf{X}}_k \mathbf{X}_k^T\|^{-1}. \quad (8)$$

수식 (8)에서 정의하고 그림 3에서 도식한 $\overline{\mathbf{X}}_k \mathbf{X}_k^T$ 의 조건수 열화에 따른 자기간섭채널 추정 성능은 아래 그림 5와 같이 도식한다. 위너 솔루션에서 추정한 위상 및 감쇄값에 아래 수식과 같이 오차값을 가정한다:

$$\alpha_{i,err} = \alpha_{i,0} + \epsilon_{i,\alpha}, \quad (9)$$

$$\phi_{i,err} = \phi_{i,0} + \epsilon_{i,\phi}. \quad (10)$$

위 수식에서 $\alpha_{i,err}$, $\alpha_{i,0}$, $\epsilon_{i,\alpha}$, $\phi_{i,err}$, $\phi_{i,0}$, $\epsilon_{i,\phi}$ 는 각각 i 번째 탭의 오차가 포함된 감쇄값, 위너 솔루션 결과 감쇄값, 감쇄값에 대한 오차 값, 오차가 포함된 위상값, 위너 솔루션 결과 위상값, 위상값에 대한 오차 값을 의미한다. $\epsilon_{i,\alpha}$ 와 $\epsilon_{i,\phi}$ 는 각각 실제 TDL 회로에 포함될 감쇄기와 이상기의 값 설정 오차 다음과 같이 모델링한 균등 랜덤변수이다:

$$\epsilon_{i,\alpha} \sim U(0, \Delta_\alpha \gamma), \quad (11)$$

$$\epsilon_{i,\phi} \sim U(0, \Delta_\phi \gamma). \quad (12)$$

Δ_α , Δ_ϕ , γ 는 각각 감쇄기와 이상기의 스텝 사이즈, 설정 오차 계수이다.

그림 5는 감쇄기와 이상기 값의 설정오차를 최대 10%로 가정한 자기간섭채널 추정 오차를 도식하며 적용된 파라미터는 표 1과 같다. 설정 오차가 증가할수록 자기간섭채널 추정 성능이 TLD 회로의 탭 수 증가에 따라 오히려 열화하는 것을 확인할 수 있으며 이는 앞서 그림 4와 수식 (8)에서 설명한 $\overline{\mathbf{X}}_k \mathbf{X}_k^T$ 의 조건수 열화가 자기간섭채널 추정 성능으로 나타난 것이다.

종합하자면, TDL 방식의 ASIC 회로는 탭 수가 증가할수록 1) 자기간섭채널 추정 성능이 향상되지만 특정 탭 수 이상에서 추정 성능의 향상 정도는 포화되

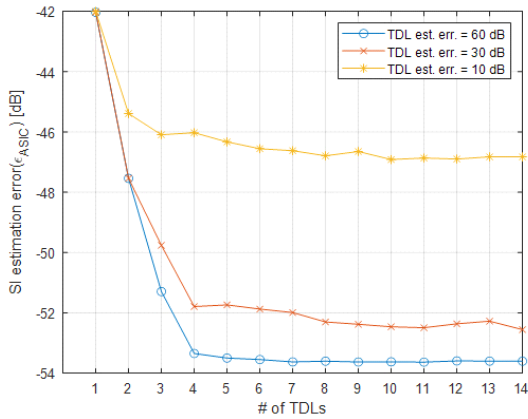


그림 3. 자기간섭채널 추정 오차(TDL 채널 임펄스 응답 추정 성능 = 60, 30, 10 dB)
Fig. 3. Self-interference channel estimation error with TDL channel estimation performance of 60, 30, 10 dB.

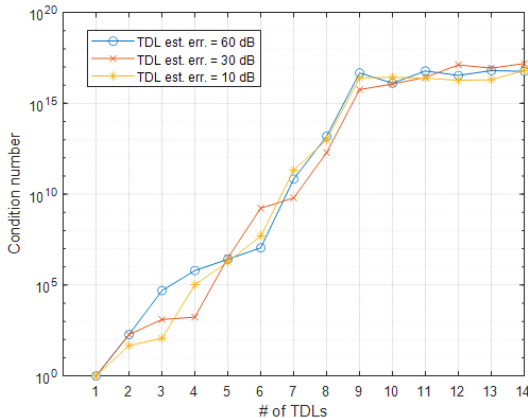


그림 4. $\overline{\mathbf{X}}_k \mathbf{X}_k^T$ 의 조건수(TDL 채널 임펄스 응답 추정 성능 = 60, 30, 10 dB)
Fig. 4. Condition number of $\overline{\mathbf{X}}_k \mathbf{X}_k^T$ with TDL channel impulse response estimation performance of 60, 30, 10 dB.

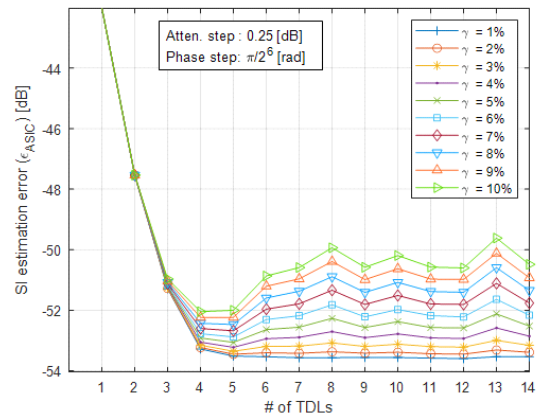


그림 5. 감쇄기, 이상기 설정 오차(1~10%)에 따른 자기간섭 채널 추정 오차
Fig. 5. Self-interference channel estimation error with practical set-up error for attenuators and phase shifters

표 1. 시뮬레이션 파라미터
Table 1. Simulation parameters.

Parameters	Values	Unit
Number of taps	max. 14	
Fixed delays	{15 : 2 : 45}	ns
Attenuator step size(Δ_α)	0.25	dB
Phase shifter step size(Δ_ϕ)	$\pi/2^6$	rad
Set-up error coefficient(γ)	{1 : 1 : 10}	%

며; 2) 감쇄기와 이상기 설정 오차에 의한 자기간섭채널 추정 성능이 열화되는데 이는 위너 솔루션을 구성하는 자기상관행렬의 조건수가 열화되기 때문이다.

3.2 TDL의 고정 지연시간

TDL 방식의 ASIC 회로를 통해 추정 및 제거하고자 하는 자기간섭채널은 통신 장치의 채널 설정에 따라서 중심 주파수와 대역폭이 결정된다. 즉 그림 2와 같이 통신 장치 안테나와 RF 프론트엔드의 규격 상 전체 가용 대역 중에서 일부를 통신 채널로 선택한다. 이는 자기간섭 제거 관점에서 통신 채널이 변경되면 추정 및 제거해야할 자기간섭채널 또한 함께 변경됨을 의미한다. 다중경로의 변화에 의해 시간에 따라 변하게 되는 무선채널의 변화와 달리, 채널 설정에 따라 결정된 채널 응답은 시간에 따라 변화하지 않는다고 가정한다.

위와 같은 특성을 나타내는 자기간섭채널의 추정을 위한 TDL ASIC회로의 고정 지연값 설정 방식을 설정하기 위하여, 본 절은 그림 2의 자기간섭 전체 채널을 10개 채널로 균등하게 나누고 1) 각 채널마다 최적의 지연시간을 설정하는 방식(FS, full search method)과 2) 평균 성능관점에서 균등 간격으로 지연시간을 설정하는 방식(ES, equal-spaced method)의 자기간섭 채널 추정 성능을 비교한다.

그림 6은 각각의 소 채널마다 최적의 지연시간을 설정하는 방식을 의사부호로 정리하였다. \mathbf{T} 는 N_T 개의 지연시간 벡터(\mathbf{t}_T)들로 구성된 행렬로서 본 방식에서 고려하는 전체 지연시간 벡터들의 수는 아래 수식과 같이 TDL 회로에 구현할 최대 지연시간(τ_{\max})과 최소 지연시간(τ_{\min}) 사이에 1ns 간격으로 설정된 전체 가능한 지연시간 집합에서 TDL 회로 탭 수(N_{TAP})만큼을 선택하는 조합의 경우의 수와 같다.

$$N_{\mathbf{T}} = \binom{\tau_{\max} - \tau_{\min} + 1}{N_{TAP}}. \quad (13)$$

Pseudocode 1 : Full search method

```

 $\mathbf{T} = [\mathbf{t}_1, \mathbf{t}_2, \dots, \mathbf{t}_{N_T}]$ 
 $\mathbf{H}_{SI} = [\mathbf{h}_{SI,1}, \mathbf{h}_{SI,2}, \dots, \mathbf{h}_{SI,N_{SIch}}]$ 
for  $i_{SIch} = 1$  to  $N_{SIch}$ 
   $\mathbf{h}_{SI} \leftarrow \mathbf{h}_{SI,i_{SIch}}$ 
  for  $i_T = 1$  to  $N_T$ 
     $\mathbf{t} \leftarrow \mathbf{t}_{i_T}$ 
     $\alpha_{i_T} \leftarrow |W_{0,i_{SIch},i_T}|$ 
     $\phi_{i_T} \leftarrow \angle W_{0,i_{SIch},i_T}$ 
     $\epsilon_{i_T} \leftarrow \|\mathbf{h}_{SI} - \mathbf{h}_{TDL}(\mathbf{t}, \alpha_{i_T}, \phi_{i_T})\|^2$ 
  end for
   $i_{T,best} \leftarrow \underset{i_T}{\operatorname{argmin}}(\epsilon_{i_T})$ 
   $\mathbf{t}_{best,i_{SIch}} \leftarrow \mathbf{t}_{i_{T,best}}$ 
end for
    
```

그림 6. 각 채널마다 최적의 지연시간을 설정하는 방법(FS)의 의사코드
Fig. 6. Pseudocode for full search method which finds the best fixed delay values for each sub channel

자기간섭채널(\mathbf{H}_{SI})은 N_{SIch} 개의 동일한 대역폭의 부 채널($\mathbf{h}_{SI,i_{SEh}}$)로 구성된다. FS 방식은 먼저 고려할 부 채널을 정한 뒤, 모든 지연시간 조합에 대해 수식 (6)을 이용하여 감쇄값과 위상값을 찾고 이 결과의 자기간섭채널추정 오차(ϵ_{i_T})를 계산한다. 의사부호에서 $\mathbf{h}_{TDL}(\mathbf{t}, \alpha_{i_T}, \phi_{i_T})$ 는 $\mathbf{t}, \alpha_{i_T}, \phi_{i_T}$ 가 적용된 수식 (2)의 주파수 응답을 의미한다. 계산된 오차들 중 각 부 채널마다 최소 값을 나타내는 지연시간을 $\mathbf{t}_{best,i_{SEh}}$ 에 도출한다.

그림 7은 ES 방식에 대한 의사부호를 도시한다. FS 방식과 달리 ES 방식은 균등한 간격을 갖도록 전체 지연시간 벡터를 준비하고, 전체 부 채널들에 대한 자기간섭채널 추정 오차의 평균이 가장 작은 하나의 지연시간 벡터를 $\mathbf{t}_{best,i_{SEh}}$ 에 도출한다.

표 2는 FS, ES 방식에 따른 지연시간 설정 결과와 도출된 자기간섭 채널 추정 오차 성능을 정리한다. 각각의 부 채널들의 자기간섭 채널 추정 오차는 그림 6에 도시한다. 표 2에서 FS 방식으로 자기간섭 채널 추정을 수행한 결과 각 채널마다 서로 다른 지연시간 조합을 도출하여 각 부 채널마다 가장 우수한 자기간섭 채널 추정 성능을 보였지만, ES 방식을 통해 전체 부 채널에 하나의 지연시간 조합을 적용하더라도 FS 방식의 평균적인 자기간섭채널 추정 성능에 매우 근접할 수 있음을 확인하였다. 뿐만 아니라 그림 8을 통하

Pseudocode 2 : Equal-spaced method

```

 $T = [t_1, t_2, \dots, t_{N_T}]$ 
 $H_{SI} = [h_{SI,1}, h_{SI,2}, \dots, h_{SI,N_{SIch}}]$ 
for  $i_T = 1$  to  $N_T$ 
   $t \leftarrow t_{i_T}$ 
  for  $i_{SIch} = 1$  to  $N_{SIch}$ 
     $h_{SI} \leftarrow h_{SI,i_{SIch}}$ 
     $\alpha_{i_T} \leftarrow |W_{0,i_{SIch},i_T}|$ 
     $\phi_{i_T} \leftarrow \angle W_{0,i_{SIch},i_T}$ 
     $\epsilon_{i_{SIch}} \leftarrow \|h_{SI} - h_{TDL}(t, \alpha_{i_T}, \phi_{i_T})\|^2$ 
  end for
   $\epsilon_{i_T} \leftarrow \sum_{i_{SIch}=1}^{N_{SIch}} \epsilon_{i_{SIch}} / N_{SIch}$ 
end for
 $i_{T,best} \leftarrow \underset{i_T}{\operatorname{argmin}}(\epsilon_{i_T})$ 
 $t_{best,i_{SIch}} \leftarrow t_{i_T,best}$ 

```

그림 7. 균등 배치 지연시간 설정 방법(ES)의 의사코드
 Fig. 7. Pseudocode for full search method which finds the best fixed delay values for each sub channel

여 ES 방식의 각 부 채널의 개별적인 자기간섭채널 추정 성능 결과도 FS 방식에 근접하는 우수한 성능을 도출함을 확인할 수 있다.

자기간섭제거 하드웨어 회로의 구현 관점에서, 변화하는 채널에 대응하기 위해 고정 지연시간을 채널에 따라 달리 설정하기 위해서는 채널마다 다른 지연시간의 구현이 가능해야 하는데, 채널 변화에 따라 장치 내의 부품을 교체하거나 표 2와 같이 다양한 지연시간 조합을 스위칭하는 등의 방식으로 FS 방식을 구현하는 것은 실효성이 없다고 판단된다.

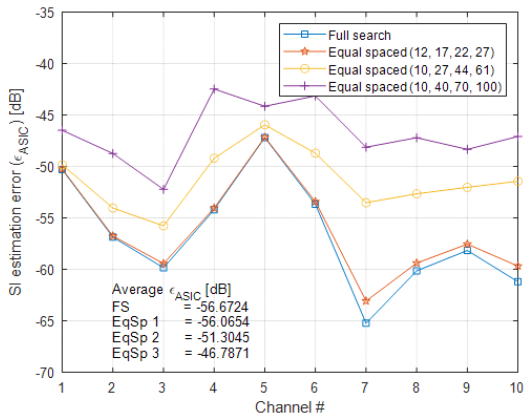


그림 8. TDL 고정 지연시간 설정 방식(FS, ES)에 따른 자기간섭채널 추정 오차
 Fig. 8. Self-interference channel estimation error performance with different fixed delay set-up methods.

표 2. FS, ES 방식에 따른 지연시간 설정 결과와 자기간섭 채널 추정 성능

Table 2. Resultant fixed delay and self-interference channel estimation performance with different fixed delay set-up methods

Fixed delay by full search method [ns]				
Ch. #	Tap 1	Tap 2	Tap 3	Tap 4
Ch. 1 (1.40-1.44 GHz)	1	11	18	44
Ch. 2 (1.44-1.48 GHz)	10	11	17	48
Ch. 3 (1.48-1.52 GHz)	10	11	12	13
Ch. 4 (1.52-1.56 GHz)	10	11	16	22
Ch. 5 (1.56-1.60 GHz)	11	12	14	37
Ch. 6 (1.60-1.64 GHz)	10	11	12	23
Ch. 7 (1.64-1.68 GHz)	10	11	12	13
Ch. 8 (1.68-1.72 GHz)	10	11	12	13
Ch. 9 (1.72-1.76 GHz)	10	11	12	13
Ch. 10 (1.76-1.80 GHz)	10	11	12	38

Fixed delay by equal-spaced method [ns]				
	Tap 1	Tap 2	Tap 3	Tap 4
Set 1	12	17	22	27
Set 2	10	27	44	61
Set 3	10	40	70	100

Average ϵ_{ASIC} [dB]	
Full search delay set	-56.6724
Equal-spaced delay set 1	-56.0654
Equal-spaced delay set 2	-51.3045
Equal-spaced delay set 3	-46.7871

IV. 결론

본 논문은 TDL 방식의 아날로그 자기간섭제거 회로의 탭 수와 고정 지연시간의 설정 방식이 자기간섭 채널 추정 성능에 미치는 영향을 분석하고 이 분석 결과에 따른 설계 방식을 제안하였다. 위너 솔루션 방식으로 TDL 회로의 감쇄 및 위상 값을 설정하는 TDL 아날로그 자기간섭제거 회로의 경우 TDL의 탭 수가 증가할 때 자기간섭채널 추정 성능의 향상이 포화될 뿐만 아니라, 위너 솔루션 계산에 포함되는 자기상관

행렬의 조건수의 열화로 인해 감쇄 및 위상 값의 설정 오차에 의한 자기간섭채널 추정 성능이 심각하게 열화됨을 확인하였다. 이와 같은 신호처리 및 구현 관점의 이유 뿐만 아니라, 탭 수의 증가에 따른 자기간섭 제거 회로가 요구하는 장치 크기의 증가 또한 TD-LTE 회로의 탭 수를 필요 이상으로 증가시켜서는 안될 이유로 작용한다. 자기간섭 채널이 중심 주파수와 대역폭에 따라 변화하는 주파수 선택적 채널에서 TD-LTE 회로의 고정 지연시간 설정 방법은 전체 자기간섭 채널에 대해 평균적으로 최고의 성능을 나타내는 ES 방식의 지연시간 설정이 하드웨어 구현 가능성 및 성능 면에서 바람직한 방식임을 확인하였다.

References

- [1] D. Kim, H. Lee, and D. Hong, "A survey of in-band full-duplex transmission: From the perspective of PHY and MAC layers," *IEEE Commun. Surv. & Tuts.*, vol. 17, no. 4, pp. 2017-2046, Feb. 2015.
(<https://doi.org/10.0119/COMST.2015.2403614>)
- [2] G. Fodor, et al., "Guest editorial: Full duplex communications theory, standardization, and practice," *IEEE Wireless Commun.*, vol. 28, no. 1, pp. 10-11, Feb. 2021.
(<https://doi.org/10.1109/MWC.2021.9363051>)
- [3] A. Sabharwal, P. Schniter, D. Guo, D. W. Bliss, S. Rangarajan, and R. Wichman, "In-band full-duplex wireless: Challenges and opportunities," *IEEE J. Sel. Areas in Commun.*, vol. 32, no. 9, pp. 1637-1652, 2014.
(<https://doi.org/10.1109/JSAC.2014.2330193>)
- [4] D. Bharadia, E. McMillin, and S. Katti, "Full duplex radios," in *Proc. ACM SIGCOMM*, USA, vol. 43, no. 4, pp. 375-386, 2013.
(<https://doi.org/10.1145/2534169.2486033>)
- [5] TS 38.300, *NR and NG-RAN overall description*, Release 16, 3GPP Std.
(<https://portal.3gpp.org/desktopmodules/Specifications/SpecificationDetails.aspx?specificationId=3191>)
- [6] I.-S. Ahn, J.-S. Kim, and H.-J. Song, "Adaptive analog self-interference cancellation for in-band full-duplex wireless communication," in *Proc. IEEE Asia-Pacific Microwave Conf.*, pp. 414-416, 2019.
(<https://doi.org/10.1109/APMC46564.2019.9038222>)
- [7] E. Everett, A. Sahai, and A. Sabharwal, "Passive self-interference suppression for full-duplex infrastructure nodes," *IEEE Trans. Wireless Commun.*, vol. 13, no. 2, pp. 680-694, 2014.
(<https://doi.org/10.1109/TWC.2013.010214.130226>)
- [8] D. Korpi, T. Riihonen, V. Syrjälä, L. Anttila, M. Valkama, and R. Wichman, "Full-duplex transceiver system calculations: Analysis of ADC and linearity challenges," *IEEE Trans. Wireless Commun.*, vol. 13, no. 7, pp. 3821-3836, 2014.
(<https://doi.org/10.1109/TWC.2014.2315213>)
- [9] D. Liu, Y. Shen, S. Shao, Y. Tang, and Y. Gong, "On the analog self-interference cancellation for full-duplex communications with imperfect channel state information," *IEEE Access*, vol. 5, pp. 9277-9290, Apr. 2017.
(<https://doi.org/10.1109/ACCESS.2017.2702713>)
- [10] H. Luo, M. Holm, and T. Ratnarajah, "Wideband active analog self-interference cancellation for 5G and beyond full-duplex systems," in *Proc. 54th Asilomar Conf. Sign., Syst., and Comput.*, pp. 868-872, 2020.
(<https://doi.org/10.1109/IEEECONF51394.2020.9443548>)
- [11] J. G. McMichael and K. E. Kolodziej, "Optimal tuning of analog self-interference cancellers for full-duplex wireless communication," in *Proc. 50th Annual Allerton Conf.*, pp. 246-251, Illinois, USA, Oct. 2012.
(<https://doi.org/10.1109/Allerton.2012.6483225>)
- [12] H.-B. Jeon, B. Koo, C.-B. Chae, S.-H. Park, and J. Park, "Graph theory based resource allocation algorithm for military communication systems: From a full-duplex perspective," *J. KICS*, vol. 44, no. 07, pp. 1280-1285, 2019.
(<https://doi.org/10.7840/kics.2019.44.7.1280>)
- [13] J. W. Kwak, M. S. Sim, I.-W. Kang, J. Park,

K. K. Wong, and C.-B. Chae, "Analog self-interference cancellation with practical RF components for full-duplex radios," to appear in *IEEE Trans. Wireless Commun.*
([https://https://doi.org/10.48550/arxiv.2206.10284](https://doi.org/10.48550/arxiv.2206.10284))

강 인 웅 (In-Woong Kang)



2011년 2월: 부산대학교 전자
전기공학부 학사
2017년 2월: 부산대학교 전자
전기컴퓨터공학과 박사
2017년 2월~현재: 국방과학연
구소 선임연구원

<관심분야> 무선통신, 군 통신
[ORDIC:0000-0002-1411-8902]

곽 종 우 (Jong Woo Kwak)



2017년 2월: 연세대학교 글로벌
융합공학부 학사
2017년 3월~현재: 연세대학교
글로벌융합공학과 석박통합
과정
<관심분야> 무선 네트워크

[ORDIC:0000-0001-6189-2303]

박 재 돈 (Jae Don Park)



2000년 2월: 한양대학교 전자
전기공학부 학사
2002년 2월: 한국과학기술원
공학부 석사
2016년 2월: 한국과학기술원
전기및전자공학부 박사
2022년 2월~현재: 국방과학연
구소 책임연구원

<관심분야> 무선통신, 군 통신
[ORDIC:0000-0001-5648-2211]

채 찬 병 (Chan-Byoung Chae)



2008년: 미국 텍사스오스틴 전
기컴퓨터공학 박사
2008년~2009년: 하버드 대학
박사 후 연구원
2009년~2011년: 미국 벨연구
소 책임연구원
2011년~현재: 연세대학교 언더
우드특훈교수

<관심분야> 무선 네트워크
[ORDIC:0000-0001-9561-3341]